

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-214644

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.⁶

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

6 2 1 B

審査請求 未請求 請求項の数20 O L (全 36 頁)

(21) 出願番号 特願平10-12614

(22) 出願日 平成10年(1998) 1月26日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 齊藤 政良

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 中村 吉孝

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 五嶋 秀和

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 筒井 大和

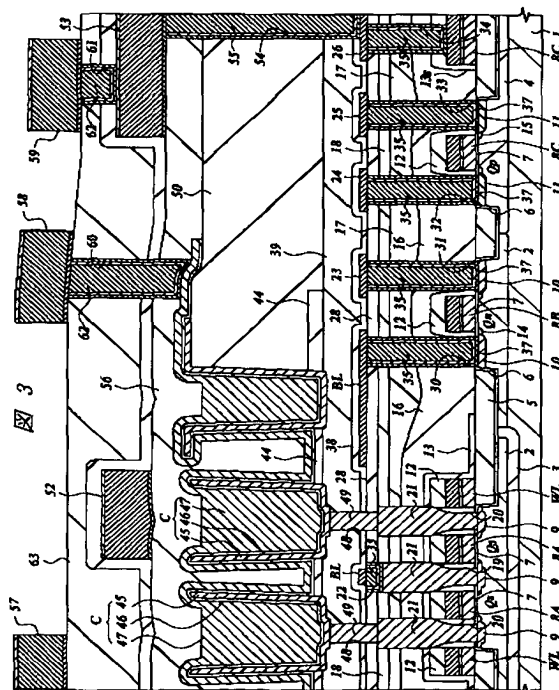
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 情報蓄積用容量素子の容量絶縁膜を高誘電体材料で構成したDRAMにおいて、容量絶縁膜を形成する際に行われる高温の熱処理に起因して下層の配線が絶縁膜の表面から剥離する不良を防止する。

【解決手段】 情報蓄積用容量素子Cの容量絶縁膜をTa₂O₅(酸化タンタル)膜46などの高誘電体材料で構成したキャパシタ・オーバー・ビットライン構造のDRAMにおいて、情報蓄積用容量素子Cよりも下層に配置されるビット線BLおよび周辺回路の第1層目の配線23~26の、少なくとも下地の酸化シリコン膜28と接する部分をW膜で構成することにより、容量絶縁膜を形成する際に行われる高温熱処理に起因してビット線BLや配線23~26と酸化シリコン膜28との界面の密着性を向上させる。



【特許請求の範囲】

【請求項 1】 半導体基板の主面上に形成された酸化シリコン系の第 1 絶縁膜の上部に、少なくともその一部が前記第 1 絶縁膜と接するように延在する配線が形成され、前記配線の上部に形成された第 2 絶縁膜の上部に、少なくともその一部が高誘電体膜で構成された容量絶縁膜を有する容量素子が形成された半導体集積回路装置であって、前記配線を構成する導電膜は、少なくとも前記第 1 絶縁膜と界面を接する部分が、チタンを除いた高融点金属、または高融点金属の窒化物からなることを特徴とする半導体集積回路装置。

【請求項 2】 半導体基板の主面上の第 1 領域に、ワード線と一体に構成されたゲート電極を備えたメモリセル選択用 MISFET が形成され、前記メモリセル選択用 MISFET を覆う酸化シリコン系の第 1 絶縁膜の上部に、前記メモリセル選択用 MISFET のソース、ドレインの一方と電気的に接続され、かつ前記第 1 絶縁膜と接するように延在するビット線が形成され、前記ビット線の上部に形成された第 2 絶縁膜の上部に、前記メモリセル選択用 MISFET のソース、ドレインの他方と電気的に接続され、かつ少なくともその一部が高誘電体膜で構成された容量絶縁膜を有する情報蓄積用容量素子が形成された DRAM を有する半導体集積回路装置であって、前記ビット線を構成する導電膜は、少なくとも前記第 1 絶縁膜と界面を接する部分が、チタンを除いた高融点金属、または高融点金属の窒化物からなることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 2 記載の半導体集積回路装置であって、前記高誘電体膜は、CVD 法で堆積した酸化タンタル膜であることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 2 記載の半導体集積回路装置であって、前記メモリセル選択用 MISFET のゲート電極を構成する導電膜は、少なくともその一部が金属膜で構成されていることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 2 記載の半導体集積回路装置であって、前記半導体基板の主面上の第 2 領域に、前記 DRAM の周辺回路の MISFET が形成され、前記周辺回路の MISFET を覆う前記酸化シリコン系の第 1 絶縁膜の上部に、前記周辺回路の MISFET のゲート電極、ソースまたはドレインのいずれかと電気的に接続され、かつ前記第 1 絶縁膜と接するように延在する第 1 層目の配線が形成され、前記第 1 層目の配線を構成する導電膜は、少なくとも前記第 1 絶縁膜と界面を接する部分が、チタンを除いた高融点金属、または高融点金属の窒化物からなることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 記載の半導体集積回路装置であって、前記第 1 絶縁膜に開孔され、前記第 1 層目の配線と前記周辺回路の MISFET のソースまたはドレインとを電気的に接続するコンタクトホール底部には、チタンシリサイド層が形成されていることを特徴とする半

導体集積回路装置。

【請求項 7】 請求項 5 記載の半導体集積回路装置であって、前記ビット線および前記第 1 層目の配線のそれぞれを構成する前記導電膜は、タングステン膜であることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 5 記載の半導体集積回路装置であって、前記第 1 層目の配線は、前記コンタクトホール内部に形成され、チタン膜とバリア金属膜との積層膜、またはチタン膜とバリア金属膜とタングステン膜との積層膜で構成されたプラグを介して前記周辺回路の MISFET のソースまたはドレインと電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項 9】 請求項 5 記載の半導体集積回路装置であって、前記周辺回路の MISFET のゲート電極は、少なくとも前記第 1 層目の配線と接する部分が金属膜で構成されていることを特徴とする半導体集積回路装置。

【請求項 10】 請求項 5 記載の半導体集積回路装置であって、前記第 1 絶縁膜は、スパインオングラス膜または CVD 法で堆積した酸化シリコン膜であることを特徴とする半導体集積回路装置。

【請求項 11】 請求項 5 記載の半導体集積回路装置であって、前記ビット線の幅は、フォトリソグラフィの解像限界で決まる最小寸法以下の寸法で構成されていることを特徴とする半導体集積回路装置。

【請求項 12】 請求項 5 記載の半導体集積回路装置であって、前記情報蓄積用容量素子の上部に形成された酸化シリコン系の第 3 絶縁膜の上部に、前記第 1 層目の配線と電気的に接続された第 2 層目の配線が形成され、前記第 2 層目の配線を構成する導電膜は、少なくとも前記第 3 絶縁膜と界面を接する部分がチタン膜であることを特徴とする半導体集積回路装置。

【請求項 13】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板の主面上に酸化シリコン系の第 1 絶縁膜を形成した後、前記第 1 絶縁膜の上部に、少なくとも前記第 1 絶縁膜と界面を接する部分が、チタンを除いた高融点金属、またはチタンを含む高融点金属の窒化物からなる導電膜を堆積する工程、(b) 前記導電膜をパターンニングすることによって、少なくともその一部が前記第 1 絶縁膜と接するように延在する配線を形成した後、前記配線の上部に第 2 絶縁膜を形成する工程、(c) 前記第 2 絶縁膜の上部に高誘電体膜を堆積した後、前記高誘電体膜の膜質を改善するための熱処理を行う工程、(d) 前記第 2 絶縁膜の上部に、少なくともその一部が前記高誘電体膜で構成された容量絶縁膜を有する容量素子を形成する工程。

【請求項 14】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板の主面上の第 1 領域に、DRAM のメモリセルを構成するメモリセル選択用 MISFET を形

10

20

30

40

50

成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上部に酸化シリコン系の第1絶縁膜を形成する工程、(c)前記メモリセル選択用MISFETのソース、ドレインの少なくとも一方の上部の前記第1絶縁膜に第1コンタクトホールを形成し、前記周辺回路のMISFETのソースおよびドレインのそれぞれの上部の前記第1絶縁膜に第2コンタクトホールを形成し、前記周辺回路のMISFETのゲート電極の上部の前記第1絶縁膜に第3コンタクトホールを形成する工程、(d)前記第2コンタクトホールおよび前記第3コンタクトホールのそれぞれの内部を含む前記第1絶縁膜の上部にチタン膜を堆積した後、前記半導体基板を熱処理することによって、前記第2コンタクトホールの底部に露出した前記周辺回路のMISFETのソースおよびドレインのそれぞれの表面にチタンシリサイド層を形成する工程、(e)前記第2コンタクトホールおよび前記第3コンタクトホールのそれぞれの内部を含む前記チタン膜の上部に、バリア金属膜、または前記バリア金属膜とチタンを除いた高融点金属膜との積層膜を堆積した後、前記第1絶縁膜の上部の前記バリア金属膜または前記積層膜を前記チタン膜と共に除去することによって、前記第2コンタクトホールおよび前記第3コンタクトホールのそれぞれの内部にプラグを形成する工程、(f)前記第1絶縁膜の上部に、少なくとも前記第1絶縁膜と界面を接する部分が、チタンを除いた高融点金属、または高融点金属の窒化物からなる導電膜を堆積する工程、(g)前記導電膜をパターンニングすることによって、前記第1コンタクトホールを通じて前記メモリセル選択用MISFETのソース、ドレインの一方と電気的に接続されるビット線を形成し、前記第2コンタクトホールまたは前記第3コンタクトホールを通じて前記周辺回路のMISFETと電気的に接続される周辺回路の第1層目の配線を形成する工程、(h)前記ビット線および前記周辺回路の第1層目の配線のそれぞれの上部に堆積した第2絶縁膜の上部に高誘電体膜を堆積した後、前記高誘電体膜の膜質を改善するための熱処理を行う工程、(i)前記第2絶縁膜の上部に、少なくともその一部が前記高誘電体膜で構成された容量絶縁膜を有し、前記メモリセル選択用MISFETのソース、ドレインの他方と電気的に接続される情報蓄積用容量素子を形成する工程。

【請求項15】 請求項14記載の半導体集積回路装置の製造方法であって、前記メモリセル選択用MISFETのゲート電極および前記周辺回路のMISFETのゲート電極のそれぞれを構成する導電膜は、不純物がドーパされた低抵抗多結晶シリコン膜とバリア金属膜とタングステン膜との積層膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項14記載の半導体集積回路装置の製造方法であって、前記ビット線および前記周辺回路の第1層目の配線は、タングステン膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項14記載の半導体集積回路装置の製造方法であって、前記高誘電体膜は、金属酸化物からなることを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項17記載の半導体集積回路装置の製造方法であって、前記金属酸化物は、酸化タンタルであることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項14記載の半導体集積回路装置の製造方法であって、前記高誘電体膜の膜質を改善するための熱処理温度が750℃以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項20】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a)半導体基板の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上部に酸化シリコン系の第1絶縁膜を形成する工程、(c)前記メモリセル選択用MISFETのソース、ドレインの少なくとも一方の上部の前記第1絶縁膜に第1コンタクトホールを形成し、前記周辺回路のMISFETのソースおよびドレインのそれぞれの上部の前記第1絶縁膜に第2コンタクトホールを形成し、前記周辺回路のMISFETのゲート電極の上部の前記第1絶縁膜に第3コンタクトホールを形成する工程、(d)前記第2コンタクトホールおよび前記第3コンタクトホールのそれぞれの内部を含む前記第1絶縁膜の上部にコバルト膜を堆積した後、前記半導体基板を熱処理することによって、前記第2コンタクトホールの底部に露出した前記周辺回路のMISFETのソースおよびドレインのそれぞれの表面にコバルトシリサイド層を形成する工程、(e)前記第2コンタクトホールおよび前記第3コンタクトホールのそれぞれの内部を含む前記コバルト膜の上部に、バリア金属膜、または前記バリア金属膜とコバルトを除いた高融点金属膜との積層膜を堆積した後、前記第1絶縁膜の上部の前記バリア金属膜または前記積層膜を前記コバルト膜と共に除去することによって、前記第2コンタクトホールおよび前記第3コンタクトホールのそれぞれの内部にプラグを形成する工程、(f)前記第1絶縁膜の上部に、少なくとも前記第1絶縁膜と界面を接する部分が、コバルトを除いた高融点金属、または高融点金属の窒化物からなる導電膜を堆積する工程、(g)前記導電膜をパターンニングすることによって、前記第1コンタク

トホールを通じて前記メモリセル選択用MISFETのソース、ドレインの一方と電気的に接続されるビット線を形成し、前記第2コンタクトホールまたは前記第3コンタクトホールを通じて前記周辺回路のMISFETと電気的に接続される周辺回路の第1層目の配線を形成する工程、(h)前記ビット線および前記周辺回路の第1層目の配線のそれぞれの上部に堆積した第2絶縁膜の上部に高誘電体膜を堆積した後、前記高誘電体膜の膜質を改善するための熱処理を行う工程、(i)前記第2絶縁膜の上部に、少なくともその一部が前記高誘電体膜で構成された容量絶縁膜を有し、前記メモリセル選択用MISFETのソース、ドレインの他方と電気的に接続される情報蓄積用容量素子を形成する工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、DRAM(Dynamic Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】DRAMのメモリセルは、半導体基板の主面にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置され、1個のメモリセル選択用MISFETとこれに直列に接続された1個の情報蓄積用容量素子(キャパシタ)とで構成されている。メモリセル選択用MISFETは、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極、ソースおよびドレインを構成する一対の半導体領域によって構成されている。ビット線は、メモリセル選択用MISFETの上部に配置され、ソース、ドレインの一方と電気的に接続されている。情報蓄積用容量素子は、同じくメモリセル選択用MISFETの上部に配置され、ソース、ドレインの他方と電気的に接続されている。

【0003】上記のように、近年のDRAMは、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量の減少を補うために、情報蓄積用容量素子をメモリセル選択用MISFETの上方に配置する、いわゆるスタックド・キャパシタ構造を採用している。このスタックド・キャパシタ構造を採用したDRAMには、ビット線の下方に情報蓄積用容量素子を配置するキャパシタ・アンダー・ビットライン(Capacitor Under Bitline; CUB)構造のものと、ビット線の上方に情報蓄積用容量素子を配置するキャパシタ・オーバー・ビットライン(Capacitor Over Bitline; COB)構造のものとがある。前者については、特開平7-192723号公報、特開平8-204144号公報に記載があり、後者については、特開平7-122654号公報、特開平7-106437号公報に記載がある。

【0004】上記した2種のスタックド・キャパシタ構造のうち、ビット線の上方に情報蓄積用容量素子を配置

するCOB構造は、CUB構造に比べてメモリセルの微細化に適している。これは、微細化された情報蓄積用容量素子の蓄積電荷量を増やそうとすると、その構造を立体化して表面積を増やす必要があるが、情報蓄積用容量素子の上部にビット線を配置するCUB構造の場合は、ビット線とメモリセル選択用MISFETとを接続するコンタクトホールのアスペクト比が極端に大きくなってしまいうため、その開孔が困難になるからである。

【0005】また、64Mbit(メガビット)あるいは256Mbitといった最近の大容量DRAMは、情報蓄積用容量素子を立体化して表面積を増やすだけでは蓄積電荷量を確保することが困難になっており、容量素子の立体化と併せて容量絶縁膜をTa₂O₅(酸化タンタル)、(Ba, Sr)TiO₃(チタン酸バリウムストロンチウム;以下BSTと略す)、SrTiO₃(チタン酸ストロンチウム;STOと略す)といった高誘電体材料で構成することが検討されている。容量絶縁膜をこのような高誘電体材料で構成したDRAMについては、例えば特開平1-222469号公報、特開平7-66300号公報に記載がある。

【0006】さらに、上記した64~256MbitDRAMにおいては、チップサイズの増大に伴う信号遅延対策として、ワード線やビット線の材料に多結晶シリコン膜よりも低抵抗の金属材料を採用することや、MISFETのソース、ドレインと配線とを接続するコンタクトホールの微細化に伴う抵抗増大を回避する対策として、高速動作が要求されるセンスアンプやワードドライバなどの周辺回路を構成するMISFETのソース、ドレインの表面にTiSi₂(チタンシリサイド)あるいはCoSi₂(コバルトシリサイド)などの高融点金属シリサイド層を形成するシリサイドーション(Silicidation)技術を採用することも不可避になると考えられている。このシリサイドーション技術については、例えば特開平5-21796号公報、特開平6-29240号公報、特開平8-181212号に記載がある。

【0007】

【発明が解決しようとする課題】本発明者は、256Mbitおよびそれ以降の世代に対応したDRAMの構造およびプロセスを開発中である。このDRAMは、チップサイズの増大に伴う信号遅延対策としてメモリセル選択用MISFETのゲート電極(ワード線)と周辺回路のMISFETのゲート電極をW(タングステン)などの高融点金属を主体とする低抵抗材料で構成すると共に、拡散層と配線とのコンタクト抵抗を低減する対策として周辺回路を構成するMISFETのソース、ドレインの表面に高融点金属シリサイド層を形成する。

【0008】また、このDRAMは、ビット線の信号遅延対策としてビット線をWなどの高融点金属を主体とする低抵抗材料で構成すると共に、配線の形成工程を低減する対策としてビット線と周辺回路の第1層目の配線と

を同一工程で同時に形成する。さらに、このDRAMは、情報蓄積用容量素子の蓄積電荷量を確保する対策としてビット線の上に情報蓄積用容量素子を配置するC O B構造を採用して容量素子の立体化を容易にすると共に、容量絶縁膜を Ta_2O_5 （酸化タンタル）などの高誘電体材料で構成する。

【0009】ところが、本発明者が上記のようなDRAMの製造プロセスを検討したところ、MISFETの上部に形成したビット線および周辺回路の第1層目の配線が、その後の情報蓄積用容量素子を形成する工程で行われる高温の熱処理によって絶縁膜表面から剥離する現象が見出された。

【0010】ここで、上記のようなDRAMを製造するプロセスの概略を簡単に説明すると、まず半導体基板の主面上に堆積した高融点金属を主体とする低抵抗材料をパターニングしてメモリセル選択用MISFETのゲート電極（ワード線）と周辺回路のMISFETのゲート電極を形成した後、半導体基板に不純物をイオン打ち込みしてこれらのMISFETのソース、ドレインを形成する。

【0011】次に、これらのMISFETの上部を絶縁膜で覆った後、まずメモリセル選択用MISFETのソース、ドレインの上部の絶縁膜にコンタクトホールを形成し、続いてこのコンタクトホールの内部に多結晶シリコンのプラグを埋め込む。次に、周辺回路のMISFETのゲート電極およびソース、ドレインのそれぞれの上部の絶縁膜にコンタクトホールを形成した後、これらのコンタクトホールの内部を含む絶縁膜の上部にTi膜あるいはCo膜などの高融点金属膜を薄く堆積し、続いて半導体基板を熱処理してコンタクトホールの底部の基板（Si）と高融点金属膜とを反応させることによって、コンタクトホールの底部に高融点金属シリサイド層を形成する。

【0012】次に、周辺回路のコンタクトホールの内部を含む絶縁膜の上部にWなどの高融点金属膜を主体とする配線材料を堆積した後、この配線材料と絶縁膜の表面に残った未反応のTi膜とをパターニングすることによって、絶縁膜の上部にビット線と周辺回路の第1層目の配線とを形成する。ビット線は、多結晶シリコンのプラグを埋め込んだ前記コンタクトホールを通じてメモリセル選択用MISFETのソース、ドレインの一方と電気的に接続される。また、周辺回路の第1層目の配線は、周辺回路の前記コンタクトホールを通じて周辺回路のMISFETのゲート電極またはソース、ドレインのいずれかと電気的に接続される。

【0013】次に、ビット線および周辺回路の第1層目の配線のそれぞれの上部を層間絶縁膜で覆い、続いてこの層間絶縁膜にメモリセル選択用MISFETのソース、ドレインの一方と情報蓄積用容量素子とを接続するためのスルーホールを形成した後、このスルーホールの

上部に堆積した多結晶シリコンなどの導電膜をパターニングして立体的な構造を有する情報蓄積用容量素子の下部電極を形成する。

【0014】次に、この下部電極の表面に Ta_2O_5 （酸化タンタル）などの高誘電体膜を堆積した後、高温の熱処理を行う。 Ta_2O_5 あるいはBST、STOといった金属酸化物からなる高誘電体膜は、それらに共通の性質として、リーク電流を低減するために成膜後に酸素雰囲気中で800℃程度の高温熱処理を行う必要がある。また、一旦高温熱処理を施した後は、膜質の劣化を防ぐために450℃程度以上の高温に晒さないようにする必要がある。

【0015】その後、高誘電体膜の上部にTiN膜などの導電膜を堆積した後、この導電膜とその下層の高誘電体膜とをパターニングして情報蓄積用容量素子の上部電極と容量絶縁膜とを形成する。

【0016】ところが、本発明者が上記のようなDRAMの製造プロセスを検討したところ、 Ta_2O_5 膜の膜質を改善するための高温熱処理を行った際に、ビット線や周辺回路の第1層目の配線が絶縁膜表面から剥離する現象が見出された。これは、コンタクトホールの底部にTiシリサイド層を形成するために使用したTi膜が酸化シリコンで構成された絶縁膜上に残っていると、Ti膜と酸化シリコンとの界面で剥離が生じるためであり、その理由としては、TiがSiに比べて酸化物を形成し易いからであろうと考えられる。

【0017】高温熱処理によるTi膜と酸化シリコン膜の剥離を防止する対策としては、Ti膜を熱処理してコンタクトホールの底部にTiシリサイド層を形成した後、絶縁膜の表面に残った未反応のTi膜を酸性のエッチング液で除去する方法が考えられる。ところが、周辺回路のMISFETのソース、ドレインの上部の絶縁膜にコンタクトホールを形成する工程では、同時にMISFETのゲート電極の上部にもコンタクトホールを形成するため、Tiシリサイド層の形成後に未反応のTi膜をエッチング液で除去すると、ゲート電極の上部に形成されたコンタクトホール内にもエッチング液が浸入し、ゲート電極を構成する金属膜がエッチングされてしまう。従って、上記の対策は、酸性のエッチング液に耐性のある多結晶シリコン膜やポリサイド膜（多結晶シリコンと高融点金属シリサイドの積層膜）でゲート電極を構成した場合には有効であるが、金属を主体とした材料でゲート電極を構成した場合には適用することができない。

【0018】Ti膜と酸化シリコン膜の界面剥離を防止する他の対策として、Ti膜を熱処理してTiシリサイド層を形成した後（または形成する際）、窒素雰囲気中で熱処理を行うことによってTi膜を酸化シリコン膜と密着性のよいTiN（チタンナイトライド）膜に置換する方法が考えられる。しかし、窒素雰囲気中での高温熱

10

20

30

40

50

処理によって酸化シリコン膜上のTi膜を完全にTiN膜に置換することは難しく、膜の表面は窒化されても酸化シリコン膜との界面までは完全に窒化されない。また、この高温熱処理を長時間行うことは、MISFETのソース、ドレインに打ち込まれた不純物の拡散を助長することになり、浅接合の形成の障害となる。

【0019】本発明の目的は、情報蓄積用容量素子の容量絶縁膜を高誘電体材料で構成したDRAMにおいて、高誘電体材料の膜質を改善するために行う高温熱処理によって下層の配線が絶縁膜の表面から剥離する不良を防止する技術を提供することにある。

【0020】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0021】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0022】(1) 本発明の半導体集積回路装置は、半導体基板の主面上に形成された酸化シリコン系の第1絶縁膜の上部に、少なくともその一部が前記第1絶縁膜と接するように延在する配線が形成され、前記配線の上部に形成された第2絶縁膜の上部に、少なくともその一部が高誘電体膜で構成された容量絶縁膜を有する容量素子が形成されており、前記配線を構成する導電膜は、少なくとも前記第1絶縁膜と界面を接する部分が、チタンを除いた高融点金属、または高融点金属の窒化物からなる。

【0023】(2) 本発明の半導体集積回路装置は、半導体基板の主面上の第1領域に、ワード線と一体に構成されたゲート電極を備えたメモリセル選択用MISFETが形成され、前記メモリセル選択用MISFETを覆う酸化シリコン系の第1絶縁膜の上部に、前記メモリセル選択用MISFETのソース、ドレインの一方と電気的に接続され、かつ前記第1絶縁膜と接するように延在するビット線が形成され、前記ビット線の上部に形成された第2絶縁膜の上部に、前記メモリセル選択用MISFETのソース、ドレインの他方と電気的に接続され、かつ少なくともその一部が高誘電体膜で構成された容量絶縁膜を有する情報蓄積用容量素子が形成されたDRAMを有し、前記ビット線を構成する導電膜は、少なくとも前記第1絶縁膜と界面を接する部分が、チタンを除いた高融点金属、または高融点金属の窒化物からなる。

【0024】(3) 本発明の半導体集積回路装置は、前記(2)において、前記高誘電体膜がCVD法で堆積した酸化タンタル膜である。

【0025】(4) 本発明の半導体集積回路装置は、前記(2)において、前記メモリセル選択用MISFETのゲート電極を構成する導電膜の少なくとも一部が金属膜で構成されている。

【0026】(5) 本発明の半導体集積回路装置は、前記(2)において、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路のMISFETが形成され、前記周辺回路のMISFETを覆う前記酸化シリコン系の第1絶縁膜の上部に、前記周辺回路のMISFETのゲート電極、ソースまたはドレインのいずれかと電気的に接続され、かつ前記第1絶縁膜と接するように延在する第1層目の配線が形成され、前記第1層目の配線を構成する導電膜は、少なくとも前記第1絶縁膜と界面を接する部分が、チタンを除いた高融点金属、または高融点金属の窒化物からなる。

【0027】(6) 本発明の半導体集積回路装置は、前記(5)において、前記第1絶縁膜に開孔され、前記第1層目の配線と前記周辺回路のMISFETのソースまたはドレインとを電気的に接続するコンタクトホール底部にチタンシリサイド層が形成されている。

【0028】(7) 本発明の半導体集積回路装置は、前記(5)において、前記ビット線および前記第1層目の配線のそれぞれを構成する前記導電膜がタングステン膜である。

【0029】(8) 本発明の半導体集積回路装置は、前記(5)において、前記第1層目の配線が前記コンタクトホールの内部に形成され、チタン膜とバリアメタル膜との積層膜、またはチタン膜とバリアメタル膜とタングステン膜との積層膜で構成されたプラグを介して前記周辺回路のMISFETのソースまたはドレインと電気的に接続されている。

【0030】(9) 本発明の半導体集積回路装置は、前記(5)において、前記周辺回路のMISFETのゲート電極の少なくとも前記第1層目の配線と接する部分が金属膜で構成されている。

【0031】(10) 本発明の半導体集積回路装置は、前記(5)において、前記第1絶縁膜がスパインングガラス膜またはCVD法で堆積した酸化シリコン膜であることを特徴とする半導体集積回路装置。

【0032】(11) 本発明の半導体集積回路装置は、前記(5)において、前記ビット線の幅がフォトリソグラフィの解像限界で決まる最小寸法以下の寸法で構成されている。

【0033】(12) 本発明の半導体集積回路装置は、前記(5)において、前記情報蓄積用容量素子の上部に形成された酸化シリコン系の第3絶縁膜の上部に、前記第1層目の配線と電気的に接続された第2層目の配線が形成され、前記第2層目の配線を構成する導電膜は、少なくとも前記第3絶縁膜と界面を接する部分がチタン膜である。

【0034】(13) 本発明の半導体集積回路装置は、以下の工程を含んでいる。

【0035】(a) 半導体基板の主面上に酸化シリコン系の第1絶縁膜を形成した後、前記第1絶縁膜の上部

10

20

30

40

50

に、少なくとも前記第1絶縁膜と界面を接する部分が、チタンを除いた高融点金属、またはチタンを含む高融点金属の窒化物からなる導電膜を堆積する工程、(b)前記導電膜をパターンニングすることによって、少なくともその一部が前記第1絶縁膜と接するように延在する配線を形成した後、前記配線の上に第2絶縁膜を形成する工程、(c)前記第2絶縁膜の上に高誘電体膜を堆積した後、前記高誘電体膜の膜質を改善するための熱処理を行う工程、(d)前記第2絶縁膜の上に、少なくともその一部が前記高誘電体膜で構成された容量絶縁膜を有する容量素子を形成する工程。

【0036】(14)本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

【0037】(a)半導体基板の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上に酸化シリコン系の第1絶縁膜を形成する工程、(c)前記メモリセル選択用MISFETのソース、ドレインの少なくとも一方の上部の前記第1絶縁膜に第1コンタクトホールを形成し、前記周辺回路のMISFETのソースおよびドレインのそれぞれの上の前記第1絶縁膜に第2コンタクトホールを形成し、前記周辺回路のMISFETのゲート電極の上部の前記第1絶縁膜に第3コンタクトホールを形成する工程、(d)前記第2コンタクトホールおよび前記第3コンタクトホールのそれぞれの内部を含む前記第1絶縁膜の上にチタン膜を堆積した後、前記半導体基板を熱処理することによって、前記第2コンタクトホールの底部に露出した前記周辺回路のMISFETのソースおよびドレインのそれぞれの表面にチタンシリサイド層を形成する工程、(e)前記第2コンタクトホールおよび前記第3コンタクトホールのそれぞれの内部を含む前記チタン膜の上に、バリア金属膜、または前記バリア金属膜とチタンを除いた高融点金属膜との積層膜を堆積した後、前記第1絶縁膜の上部の前記バリア金属膜または前記積層膜を前記チタン膜と共に除去することによって、前記第2コンタクトホールおよび前記第3コンタクトホールのそれぞれの内部にプラグを形成する工程、(f)前記第1絶縁膜の上部に、少なくとも前記第1絶縁膜と界面を接する部分が、チタンを除いた高融点金属、または高融点金属の窒化物からなる導電膜を堆積する工程、(g)前記導電膜をパターンニングすることによって、前記第1コンタクトホールを通じて前記メモリセル選択用MISFETのソース、ドレインの一方と電気的に接続されるビット線を形成し、前記第2コンタクトホールまたは前記第3コンタクトホールを通じて前記周辺回路のMISFETと電気的に接続される周辺回路の第1層目の配線を形成する工

程、(h)前記ビット線および前記周辺回路の第1層目の配線のそれぞれの上に堆積した第2絶縁膜の上部に高誘電体膜を堆積した後、前記高誘電体膜の膜質を改善するための熱処理を行う工程、(i)前記第2絶縁膜の上部に、少なくともその一部が前記高誘電体膜で構成された容量絶縁膜を有し、前記メモリセル選択用MISFETのソース、ドレインの他方と電気的に接続される情報蓄積用容量素子を形成する工程。

【0038】(15)本発明の半導体集積回路装置の製造方法は、前記(14)において、前記メモリセル選択用MISFETのゲート電極および前記周辺回路のMISFETのゲート電極のそれぞれを構成する導電膜が、不純物がドーピングされた低抵抗多結晶シリコン膜とバリア金属膜とタングステン膜との積層膜である。

【0039】(16)本発明の半導体集積回路装置の製造方法は、前記(14)において、前記ビット線および前記周辺回路の第1層目の配線がタングステン膜である。

【0040】(17)本発明の半導体集積回路装置の製造方法は、前記(14)において、前記高誘電体膜が金属酸化物からなる。

【0041】(18)本発明の半導体集積回路装置の製造方法は、前記(17)において、前記金属酸化物が酸化タンタルである。

【0042】(19)本発明の半導体集積回路装置の製造方法は、前記(14)において、前記高誘電体膜の膜質を改善するための熱処理温度が750℃以上である。

【0043】(20)本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

【0044】(a)半導体基板の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上に酸化シリコン系の第1絶縁膜を形成する工程、(c)前記メモリセル選択用MISFETのソース、ドレインの少なくとも一方の上部の前記第1絶縁膜に第1コンタクトホールを形成し、前記周辺回路のMISFETのソースおよびドレインのそれぞれの上の前記第1絶縁膜に第2コンタクトホールを形成し、前記周辺回路のMISFETのゲート電極の上部の前記第1絶縁膜に第3コンタクトホールを形成する工程、(d)前記第2コンタクトホールおよび前記第3コンタクトホールのそれぞれの内部を含む前記第1絶縁膜の上にコバルト膜を堆積した後、前記半導体基板を熱処理することによって、前記第2コンタクトホールの底部に露出した前記周辺回路のMISFETのソースおよびドレインのそれぞれの表面にコバルトシリサイド層を形成する工程、(e)前記第2コンタクトホールおよび前記第3コンタクトホール

のそれぞれの内部を含む前記コバルト膜の上部に、バリアメタル膜、または前記バリアメタル膜とコバルトを除いた高融点金属膜との積層膜を堆積した後、前記第1絶縁膜の上部の前記バリアメタル膜または前記積層膜を前記コバルト膜と共に除去することによって、前記第2コンタクトホールおよび前記第3コンタクトホールのそれぞれの内部にプラグを形成する工程、(f)前記第1絶縁膜の上部に、少なくとも前記第1絶縁膜と界面を接する部分が、コバルトを除いた高融点金属、または高融点金属の窒化物からなる導電膜を堆積する工程、(g)前記導電膜をパターンニングすることによって、前記第1コンタクトホールを通じて前記メモリセル選択用MISFETのソース、ドレインの一方と電気的に接続されるビット線を形成し、前記第2コンタクトホールまたは前記第3コンタクトホールを通じて前記周辺回路のMISFETと電気的に接続される周辺回路の第1層目の配線を形成する工程、(h)前記ビット線および前記周辺回路の第1層目の配線のそれぞれの上部に堆積した第2絶縁膜の上部に高誘電体膜を堆積した後、前記高誘電体膜の膜質を改善するための熱処理を行う工程、(i)前記第2絶縁膜の上部に、少なくともその一部が前記高誘電体膜で構成された容量絶縁膜を有し、前記メモリセル選択用MISFETのソース、ドレインの他方と電気的に接続される情報蓄積用容量素子を形成する工程。

【0045】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0046】図1は、本実施の形態のDRAMを形成した半導体チップの全体平面図である。図示のように、単結晶シリコンからなる半導体チップ1Aの主面には、X方向(半導体チップ1Aの長辺方向)およびY方向(半導体チップ1Aの短辺方向)に沿って多数のメモリアレイMARYがマトリクス状に配置されている。X方向に沿って互いに隣接するメモリアレイMARYの間にはセンスアンプSAが配置されている。半導体チップ1Aの主面の中央部には、ワードドライバWD、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。

【0047】図2は、上記DRAMの等価回路図である。図示のように、このDRAMのメモリアレイ(MARY)は、行方向に延在する複数のワード線WL(WLn-1、WLn、WLn+1...)と列方向に延在する複数のビット線BLおよびそれらの交点に配置された複数のメモリセル(MC)によって構成されている。1ビットの情報を記憶する1個のメモリセルは、1個の情報蓄積用容量素子Cとこれに直列に接続された1個のメモリセル選択用MISFETQsとで構成されている。メモリセル選択用MISFETQsのソース、ドレインの一方

は、情報蓄積用容量素子Cと電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードドライバWDに接続され、ビット線BLの一端は、センスアンプSAに接続されている。

【0048】図3は、DRAMのメモリアレイと周辺回路のそれぞれの一部を示す半導体基板の要部断面図、図4は、メモリアレイの一部を示す半導体基板の概略平面図である。なお、図4にはメモリセルを構成する導電層(プレート電極を除く)のみを示し、導電層間の絶縁膜やメモリセルの上部に形成される配線の図示は省略してある。

【0049】DRAMのメモリセルは、p型の単結晶シリコンからなる半導体基板1の主面に形成されたp型ウエル2に形成されている。メモリセルが形成された領域(メモリアレイ)のp型ウエル2は、半導体基板1の他の領域に形成された入出力回路などからノイズが侵入するのを防ぐために、その下部に形成されたn型半導体領域3によって半導体基板1と電気的に分離されている。

【0050】メモリセルは、メモリセル選択用MISFETQsの上部に情報蓄積用容量素子Cを配置したスタックド構造で構成されている。メモリセル選択用MISFETQsはnチャネル型で構成され、図4に示すように、X方向(列方向)に沿って真っ直ぐに延在する細長い島状のパターンで構成された活性領域Lに形成されている。活性領域Lのそれぞれには、ソース、ドレインの一方(n型半導体領域9)を互いに共有するメモリセル選択用MISFETQsがX方向に隣接して2個形成されている。

【0051】活性領域Lを囲む素子分離領域は、p型ウエル2に形成された素子分離溝6で構成されている。素子分離溝6の内部には酸化シリコン膜5が埋め込まれており、その表面は活性領域Lの表面とほぼ同じ高さになるように平坦化されている。このような素子分離溝6によって構成された素子分離領域は、活性領域Lの端部にバードピーク(bird's beak)ができないので、LOCOS(選択酸化)法で形成された同一寸法の素子分離領域(フィールド酸化膜)に比べて実効的な面積が大きくなる。

【0052】メモリセル選択用MISFETQsは、主としてゲート酸化膜7、ゲート電極8Aおよびソース、ドレインを構成する一対のn型半導体領域9、9によって構成されている。メモリセル選択用MISFETQsのゲート電極8Aはワード線WLと一体に構成されており、同一の幅、同一のスペースでY方向に沿って直線的に延在している。ゲート電極8A(ワード線WL)の幅すなわちゲート長と、隣接する2本のゲート電極8A

(ワード線WL)のスペースとは、いずれもフォトリソグラフィの解像限界で決まる最小加工寸法と同程度である。ゲート電極8A(ワード線WL)は、例えばP(リン)などのn型不純物がドーブされた低抵抗多結晶シリ

コン膜と、その上部に形成されたWN（タングステナイトライド）膜などからなるバリアメタル層と、その上部に形成されたW（タングステン）膜などの高融点金属膜とで構成されたポリメタル構造を有している。ポリメタル構造のゲート電極8A（ワード線WL）は、多結晶シリコン膜やポリサイド膜で構成されたゲート電極に比べて電気抵抗が低いので、ワード線の信号遅延を低減することができる。

【0053】DRAMの周辺回路は、nチャネル型MISFETQnとpチャネル型MISFETQpとで構成されている。nチャネル型MISFETQnはp型ウェル2に形成され、主としてゲート酸化膜7、ゲート電極8Bおよびソース、ドレインを構成する一対のn⁺型半導体領域10、10によって構成されている。また、pチャネル型MISFETQpはn型ウェル4に形成され、主としてゲート酸化膜7、ゲート電極8Cおよびソース、ドレインを構成する一対のp⁺型半導体領域11、11によって構成されている。ゲート電極8B、8Cは、ゲート電極8A（ワード線WL）と同じポリメタル構造で構成されている。周辺回路を構成するnチャネル型MISFETQnとpチャネル型MISFETQpは、メモリセルよりも緩いデザインルールで製造されている。

【0054】メモリセル選択用MISFETQsのゲート電極8A（ワード線WL）の上部には窒化シリコン膜12が形成されており、この窒化シリコン膜12の上部および側壁とゲート電極8A（ワード線WL）の側壁とには窒化シリコン膜13が形成されている。また、周辺回路のMISFETのゲート電極8B、8Cのそれぞれの上部には窒化シリコン膜12が形成されており、ゲート電極8B、8Cのそれぞれの側壁には、窒化シリコン膜13で構成されたサイドウォールスペーサ13sが形成されている。

【0055】メモリアレイの窒化シリコン膜12と窒化シリコン膜13は、後述するように、メモリセル選択用MISFETQsのソース、ドレイン（n型半導体領域9、9）の上部にセルフアライン（自己整合）でコンタクトホールを形成する際のエッチングストップとして使用される。また、周辺回路のサイドウォールスペーサ13sは、nチャネル型MISFETQnのソース、ドレインとpチャネル型MISFETQpのソース、ドレインをLDD（Lightly Doped Drain）構造にするために使用される。

【0056】メモリセル選択用MISFETQs、nチャネル型MISFETQnおよびpチャネル型MISFETQpのそれぞれの上部にはSOG膜16が形成されている。また、このSOG膜16のさらに上部には2層の酸化シリコン膜17、18が形成されており、上層の酸化シリコン膜18は、その表面が半導体基板1の全域でほぼ同じ高さになるように平坦化されている。

【0057】メモリセル選択用MISFETQsのソース、ドレインを構成する一対のn型半導体領域9、9の上部には、酸化シリコン膜18、17およびSOG膜16を貫通するコンタクトホール19、20が形成されている。これらのコンタクトホール19、20の内部には、n型不純物（例えばP（リン））をドーピングした低抵抗の多結晶シリコン膜で構成されたプラグ21が埋め込まれている。

【0058】コンタクトホール19、20のそれぞれの底部のX方向の径は、対向する2本のゲート電極8A（ワード線WL）の一方の側壁の窒化シリコン膜13と他方の側壁の窒化シリコン膜13とのスペースによって規定されている。すなわち、コンタクトホール19、20は、ゲート電極8A（ワード線WL）のスペースに対してセルフアラインで形成されている。

【0059】一対のコンタクトホール19、20のうち、情報蓄積用容量素子Cを接続するためのコンタクトホール20のY方向の径は、活性領域LのY方向の寸法よりも小さい。これに対して、ビット線BLを接続するためのコンタクトホール19（2個のメモリセル選択用MISFETQsによって共有されたn型半導体領域9上のコンタクトホール）のY方向の径は、活性領域LのY方向の寸法よりも大きい。すなわち、コンタクトホール19は、Y方向の径がX方向の（上端部の）径よりも大きい略長方形の平面パターンで構成されており、その一部は活性領域Lから外れて素子分離溝6上に延在している。コンタクトホール19をこのようなパターンで構成することにより、コンタクトホール19を介してビット線BLとn型半導体領域9とを電気的に接続する際に、ビット線BLの幅を一部で太くして活性領域Lの上部まで延在したり、活性領域Lの一部をビット線BL方向に延在したりしなくともよいので、メモリセルサイズを縮小することが可能となる。

【0060】酸化シリコン膜18の上部には酸化シリコン膜28が形成されている。コンタクトホール19の上部の酸化シリコン膜28にはスルーホール22が形成されており、その内部には下層から順にTi膜、TiN膜、W膜を積層した導電膜からなるプラグ35が埋め込まれている。また、このプラグ35とスルーホール22の下部のコンタクトホール19に埋め込まれたプラグ21との界面には、プラグ35の一部を構成するTi膜とプラグ21を構成する多結晶シリコン膜との反応によって生じたTiSi₂（チタンシサイド）層37が形成されている。スルーホール22は、活性領域Lから外れた素子分離溝6の上方に配置されている。

【0061】酸化シリコン膜28の上部にはビット線BLが形成されている。ビット線BLは素子分離溝6の上方に配置されており、同一の幅、同一のスペースでX方向に沿って直線的に延在している。ビット線BLはW膜で構成されており、酸化シリコン膜28に形成されたス

ルーホール 22 およびその下部の絶縁膜（酸化シリコン膜 28、18、17、SOG 膜 16 およびゲート酸化膜 7）に形成されたコンタクトホール 19 を通じてメモリセル選択用 MISFETQs のソース、ドレインの一方（2 個のメモリセル選択用 MISFETQs によって共有された n 型半導体領域 9）と電気的に接続されている。また、ビット線 BL は、隣接するビット線 BL との間に形成される寄生容量をできるだけ低減するために、そのスペースを可能な限り広くしてある。

【0062】ビット線 BL のスペースを広くして寄生容量を低減することにより、メモリセルサイズを縮小した場合でも、情報蓄積用容量素子 C に蓄積された電荷（情報）を読み出すときの信号電圧を大きくすることができる。また、ビット線 BL のスペースを広くすることにより、後述するビット線 BL のスペース領域に形成されるスルーホール（情報蓄積用容量素子 C とコンタクトホール 20 とを接続するスルーホール）48 の開孔マージンを十分に確保できるようになるので、メモリセルサイズを縮小した場合でも、ビット線 BL とスルーホール 48 のショートを実際に防止することができる。

【0063】さらに、ビット線 BL を金属（W）で構成することにより、そのシート抵抗を $2\Omega/\square$ 程度にまで低減できるので、情報の読み出し、書き込みを高速で行うことができる。また、ビット線 BL と後述する周辺回路の配線 23～26 とを同一の工程で同時に形成することができるので、DRAM の製造工程を簡略化することができる。また、ビット線 BL を耐熱性およびエレクトロマイグレーション耐性の高い金属（W）で構成することにより、ビット線 BL の幅を微細化した場合でも、断線を実際に防止することができる。

【0064】周辺回路の酸化シリコン膜 28 の上部には第 1 層目の配線 23～26 が形成されている。これらの配線 23～26 はビット線 BL と同じ導電材料（W）で構成されており、後述するようにビット線 BL を形成する工程で同時に形成される。配線 23～26 は、酸化シリコン膜 28、18、17 および SOG 膜 16 に形成されたコンタクトホール 30～34 を通じて周辺回路の MISFET（n チャネル型 MISFETQn、p チャネル型 MISFETQp）と電気的に接続されている。

【0065】周辺回路の MISFET と配線 23～26 とを接続するコンタクトホール 30～34 の内部には、下層から順に Ti 膜、TiN 膜、W 膜を積層した導電膜からなるプラグ 35 が埋め込まれている。また、これらのコンタクトホール 30～34 のうち、周辺回路の MISFET のソース、ドレイン（n⁺ 型半導体領域 10 および p⁺ 型半導体領域 11）の上部に形成されたコンタクトホール（30～33）の底部には、プラグ 35 の一部を構成する Ti 膜と半導体基板 1（Si）との反応によって生じた TiSi₂ 層 37 が形成されており、これによってプラグ 35 とソース、ドレイン（n⁺ 型半導体

領域 10 および p⁺ 型半導体領域 11）とのコンタクト抵抗が低減されている。

【0066】ビット線 BL と第 1 層目の配線 23～26 のそれぞれの上部には酸化シリコン膜 38 が形成されており、この酸化シリコン膜 38 のさらに上部には SOG 膜 39 が形成されている。SOG 膜 39 は、その表面が半導体基板 1 の全域でほぼ同じ高さになるように平坦化されている。

【0067】メモリアレイの SOG 膜 39 の上部には窒化シリコン膜 44 が形成されており、この窒化シリコン 44 のさらに上部には情報蓄積用容量素子 C が形成されている。情報蓄積用容量素子 C は、下部電極（蓄積電極）45 と上部電極（プレート電極）47 とそれらの間に設けられた Ta₂O₅（酸化タンタル）膜 46 とによって構成されている。下部電極 45 は、例えば P（リン）がドーブされた低抵抗多結晶シリコン膜からなり、上部電極 47 は、例えば TiN 膜からなる。

【0068】情報蓄積用容量素子 C の下部電極 45 は、図 4 の X 方向に沿って真っ直ぐに延在する細長いパターンで構成されている。下部電極 45 は、窒化シリコン膜 44、SOG 膜 39 およびその下層の酸化シリコン膜 38、28 を貫通するスルーホール 48 内に埋め込まれたプラグ 49 を通じてコンタクトホール 20 内のプラグ 21 と電気的に接続され、さらにこのプラグ 21 を介してメモリセル選択用 MISFETQs のソース、ドレインの他方（n 型半導体領域 9）と電気的に接続されている。下部電極 45 とコンタクトホール 20 との間に形成されたスルーホール 48 は、ビット線 BL またはその下部のプラグ 35 とのショートを実際に防止するために、最小加工寸法よりも微細な径（例えば 0.14 μm ）で構成されている。このスルーホール 48 内に埋め込まれたプラグ 49 は、例えば P（リン）がドーブされた低抵抗多結晶シリコン膜で構成されている。

【0069】周辺回路の SOG 膜 39 の上部には、情報蓄積用容量素子 C の下部電極 45 とほぼ同じ高さの厚い膜厚を有する酸化シリコン膜 50 が形成されている。周辺回路の酸化シリコン膜 50 をこのような厚い膜厚で形成することによって、情報蓄積用容量素子 C の上部に形成される層間絶縁膜 56 の表面がメモリアレイと周辺回路とでほぼ同じ高さになる。

【0070】情報蓄積用容量素子 C の上部には層間絶縁膜 56 が形成され、さらにその上部には第 2 層目の配線 52、53 が形成されている。層間絶縁膜 56 は、酸化シリコン膜で構成されており、第 2 層目の配線 52、53 は、Al（アルミニウム）を主体とする導電膜で構成されている。周辺回路に形成された第 2 層目の配線 53 は、その下層の絶縁膜（層間絶縁膜 56、酸化シリコン膜 50、SOG 膜 39、酸化シリコン膜 38）に形成されたスルーホール 54 を通じて第 1 層目の配線 26 と電気的に接続されている。このスルーホール 54 の内部に

は、例えばTi膜、TiN膜およびW膜からなるプラグ55が埋め込まれている。

【0071】第2層目の配線52、53の上部には第2の層間絶縁膜63が形成され、さらにその上部には第3層目の配線57、58、59が形成されている。層間絶縁膜63は、酸化シリコン系の絶縁膜（例えば酸化シリコン膜とSOG膜と酸化シリコン膜とからなる3層の絶縁膜）で構成されており、第3層目の配線57、58、59は、第2層目の配線52、53と同じく、Alを主体とする導電膜で構成されている。

【0072】第3層目の配線58は、その下層の層間絶縁膜63、56に形成されたスルーホール60を通じて情報蓄積用容量素子Cの上部電極47と電気的に接続されており、周辺回路の第3層目の配線59は、その下層の層間絶縁膜63に形成されたスルーホール61を通じて第2層目の配線53と電気的に接続されている。これらのスルーホール60、61の内部には、例えばTi膜、TiN膜およびW膜からなるプラグ62が埋め込まれている。

【0073】次に、上記のように構成されたDRAMの製造方法の一例を図5～図42を用いて工程順に説明する。

【0074】まず、図5に示すように、p型で比抵抗が10Ωcm程度の単結晶シリコンからなる半導体基板1の主面の素子分離領域に素子分離溝6を形成する。素子分離溝6は、半導体基板1の表面をエッチングして深さ300～400nm程度の溝を形成し、次いでこの溝の内部を含む半導体基板1上にCVD法で酸化シリコン膜5を堆積した後、この酸化シリコン膜5を化学的機械研磨（Chemical Mechanical Polishing; CMP）法でポリッシュバックして形成する。

【0075】次に、図6に示すように、メモリセルを形成する領域（メモリアレイ）の半導体基板1にn型不純物、例えばP（リン）をイオン打ち込みしてn型半導体領域3を形成した後、メモリアレイと周辺回路の一部

（nチャネル型MISFETQnを形成する領域）にp型不純物、例えばB（ホウ素）をイオン打ち込みしてp型ウエル2を形成し、周辺回路の他の一部（pチャネル型MISFETQpを形成する領域）にn型不純物、例えばP（リン）をイオン打ち込みしてn型ウエル4を形成する。

【0076】続いて、MISFETのしきい値電圧を調整するための不純物、例えばBF₂（フッ化ホウ素）をp型ウエル2およびn型ウエル4にイオン打ち込みし、次いでp型ウエル2およびn型ウエル4のそれぞれの表面をHF（フッ酸）系の洗浄液で洗浄した後、半導体基板1をウェット酸化してp型ウエル2およびn型ウエル4のそれぞれの表面に膜厚7nm程度の清浄なゲート酸化膜7を形成する。

【0077】次に、図7に示すように、ゲート酸化膜7

の上部にゲート電極8A（ワード線WL）およびゲート電極8B、8Cを形成する。ゲート電極8A（ワード線WL）およびゲート電極8B、8Cは、例えばP（リン）などのn型不純物をドーブした膜厚70nm程度の多結晶シリコン膜を半導体基板1上にCVD法で堆積し、次いでその上部に膜厚5nm程度のWN（タングステンナイトライド）膜と膜厚100nm程度のW膜とをスパッタリング法で堆積し、さらにその上部に膜厚200nm程度の窒化シリコン膜12をCVD法で堆積した後、フォトレジスト膜をマスクにしてこれらの膜をパターンニングすることにより形成する。WN膜は、高温熱処理時にW膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層には、WN膜高融点金属窒化膜、例えばTiN（チタンナイトライド）膜を使用することもできる。メモリセル選択用MISFETQsのゲート電極8A（ワード線WL）は、例えば波長248nmのKrFエキシマレーザを光源に用いた露光技術と位相シフト技術とを用いて形成する。

【0078】次に、図8に示すように、n型ウエル4にp型不純物、例えばB（ホウ素）をイオン打ち込みしてゲート電極8Cの両側のn型ウエル4にp⁻型半導体領域15を形成する。また、p型ウエル2にn型不純物、例えばP（リン）をイオン打ち込みしてゲート電極8Aの両側のp型ウエル2にn⁻型半導体領域9aを形成し、ゲート電極8Bの両側のp型ウエル2にn⁻型半導体領域14を形成する。ここまでの工程により、メモリセル選択用MISFETQsが略完成する。

【0079】次に、図9に示すように、半導体基板1上にCVD法で膜厚50nm程度の窒化シリコン膜13を堆積した後、メモリアレイの窒化シリコン膜13をフォトレジスト膜で覆い、周辺回路の窒化シリコン膜13を異方性エッチングすることにより、周辺回路のゲート電極8B、8Cの側壁にサイドウォールスペーサ13sを形成する。このエッチングは、素子分離溝6に埋め込まれた酸化シリコン膜5とゲート酸化膜7の削れ量を最少とするために、窒化シリコン膜13を高い選択比でエッチングするガスを使用して行う。また、ゲート電極8B、8C上の窒化シリコン膜12の削れ量を最少とするために、オーバーエッチング量を必要最小限に留めるようにする。

【0080】次に、図10に示すように、周辺回路のn型ウエル4にp型不純物、例えばB（ホウ素）をイオン打ち込みしてpチャネル型MISFETQpのp⁺型半導体領域11（ソース、ドレイン）を形成し、周辺回路のp型ウエル2にn型不純物、例えばAs（ヒ素）をイオン打ち込みしてnチャネル型MISFETQnのn⁺型半導体領域10（ソース、ドレイン）を形成する。ここまでの工程により、LDD構造を備えたpチャネル型MISFETQpおよびnチャネル型MISFETQn

が略完成する。

【0081】次に、図11に示すように、半導体基板1上に膜厚300nm程度のSOG膜16をスピン塗布し、水蒸気を含む400℃程度の酸素雰囲気中でベーク処理を行った後、さらに800℃、1分程度の熱処理を行ってこのSOG膜16をデンシファイ（緻密化）する。SOG膜16には、例えばポリシラザン系の無機SOGを使用する。

【0082】SOG膜16は、BPSG膜などのガラスフロー膜に比べてリフロー性が高く、微細なスペースのギャップフィル性に優れているので、フォトリソグラフィの解像限界程度まで微細化されたゲート電極8A（ワード線WL）のスペースに埋め込んでもボイドが生じることがない。また、SOG膜16は、BPSG膜などで必要とされる高温、長時間の熱処理を行わなくとも高いリフロー性が得られるので、メモリセル選択用MISFETQsのソース、ドレインや周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）のソース、ドレインに打ち込まれた不純物の熱拡散を抑制して浅接合化を図ることができると共に、熱処理時にゲート電極8A（ワード線WL）およびゲート電極8B、8Cを構成するメタル（W膜）が酸化するのを抑制できるので、メモリセル選択用MISFETQsおよび周辺回路のMISFETの高性能化を実現することができる。

【0083】次に、図12に示すように、SOG膜16の上部に膜厚600nm程度の酸化シリコン膜17を堆積し、次いでこの酸化シリコン膜17をCMP法で研磨してその表面を平坦化した後、その上部に膜厚100nm程度の酸化シリコン膜18を堆積する。上層の酸化シリコン膜18は、CMP法で研磨されたときに生じた下層の酸化シリコン膜17の表面の微細な傷を補修するために堆積する。

【0084】次に、図13に示すように、フォトリソレジスト膜27をマスクにしたドライエッチングでメモリセル選択用MISFETQsのn⁻型半導体領域（ソース、ドレイン）9aの上部の酸化シリコン膜18、17を除去する。このエッチングは、酸化シリコン膜17の下層の窒化シリコン膜13が除去されるのを防ぐために、酸化シリコン膜17を高い選択比でエッチングするガスを使用して行う。

【0085】続いて、図14に示すように、上記フォトリソレジスト膜27をマスクにしたドライエッチングでn⁻型半導体領域（ソース、ドレイン）9aの上部の窒化シリコン膜13を除去し、次いでその下層の薄いゲート酸化膜7を除去することにより、n⁻型半導体領域（ソース、ドレイン）9aの一方の上部にコンタクトホール19を形成し、他方の上部にコンタクトホール20を形成する。

【0086】窒化シリコン膜13のエッチングは、半導

体基板1や素子分離溝6の削れ量を最小とするために、窒化シリコン膜13を高い選択比でエッチングするガスを使用して行う。また、このエッチングは、窒化シリコン膜13を異方的にエッチングするような条件で行い、ゲート電極8A（ワード線WL）の側壁に窒化シリコン膜13を残すようにする。これにより、底部の径（X方向の径）がフォトリソグラフィの解像限界以下の微細なコンタクトホール19、20をゲート電極8A（ワード線WL）のスペースに対して自己整合で形成することができる。

【0087】次に、フォトリソレジスト膜27を除去した後、フッ酸系のエッチング液（例えばフッ酸+フッ化アンモニウム混液）を使って、コンタクトホール19、20の底部に露出した半導体基板1の表面を洗浄し、ドライエッチング残渣やフォトリソレジスト残渣などを除去する。このときコンタクトホール19、20の側壁に露出したSOG膜16もエッチング液に曝されるが、800℃程度の高温でデンシファイ（緻密化）したSOG膜16は、このデンシファイ処理を行わないSOG膜に比べてフッ酸系のエッチング液に対する耐性が高いので、このウェットエッチング処理によってコンタクトホール19、20の側壁が大きくアンダーカットされることはない。これにより、次の工程でコンタクトホール19、20の内部に埋め込まれるプラグ21同士のショートを確実に防止することができる。

【0088】また、上記コンタクトホール19、20を形成した後、このコンタクトホール19、20を通じてp型ウェル2にn型不純物（例えばリン）をイオン打ち込みすることによって、メモリセル選択用MISFETQsのソース、ドレインよりも深い領域のp型ウェル2にn型半導体層を形成してもよい。このn型半導体層は、ソース、ドレインの端部に集中する電界を緩和する効果があるので、ソース、ドレインの端部のリーク電流を低減してメモリセルのリフレッシュ特性を向上させることができる。

【0089】次に、図15に示すように、コンタクトホール19、20の内部にプラグ21を形成する。プラグ21は、酸化シリコン膜18の上部にn型不純物（例えばAs（ヒ素））をドーブした膜厚300nm程度の多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨してコンタクトホール19、20の内部に残すことにより形成する。

【0090】続いて、酸化シリコン膜18の上部に膜厚200nm程度の酸化シリコン膜28をCVD法で堆積した後、窒素ガス雰囲気中で800℃、1分程度の熱処理を行う。この熱処理によって、プラグ21を構成する多結晶シリコン膜中のn型不純物がコンタクトホール19、20の底部からメモリセル選択用MISFETQsのn⁻型半導体領域9aに拡散し、低抵抗のn型半導体領域（ソース、ドレイン）9が形成される。

【0091】次に、図16に示すように、フォトレジスト膜をマスクにしたドライエッチングでコンタクトホール19の上部の酸化シリコン膜28を除去することによって、スルーホール22を形成する。このスルーホール22は、活性領域Lから外れた素子分離溝6の上方に配置する。

【0092】続いて、フォトレジスト膜をマスクにしたドライエッチングで周辺回路の酸化シリコン膜28、18、17、SOG膜16およびゲート酸化膜7を除去することによって、 n チャネル型MISFETQnの n^+ 型半導体領域10（ソース、ドレイン）の上部にコンタクトホール30、31を形成し、 p チャネル型MISFETQpの p^+ 型半導体領域11（ソース、ドレイン）の上部にコンタクトホール32、33を形成する。またこのとき同時に、 p チャネル型MISFETQpのゲート電極8Cの上部にコンタクトホール34を形成し、 n チャネル型MISFETQnのゲート電極8Bの上部に図示しないコンタクトホールを形成する。

【0093】上記のように、スルーホール22を形成するエッチングとコンタクトホール30～34を形成するエッチングとを別工程で行うことにより、周辺回路の深いコンタクトホール30～34を形成する際にメモリアレイの浅いスルーホール22の底部に露出したプラグ21が深く削れる不具合を防ぐことができる。なお、スルーホール22の形成とコンタクトホール30～34の形成は、上記と逆の順序で行ってもよい。

【0094】次に、図17に示すように、コンタクトホール30～34とスルーホール22の内部を含む酸化シリコン膜28の上部に膜厚40nm程度のTi膜36を堆積する。Ti膜36は、アスペクト比が大きいコンタクトホール30～34の底部でも10nm程度以上の膜厚を確保できるよう、コリメーションスパッタなどの高指向性スパッタリング法を用いて堆積する。

【0095】続いて、Ti膜36を大気に晒すことなく、Ar（アルゴン）ガス雰囲気中で650℃、30秒程度の熱処理を行い、さらに窒素ガス雰囲気中で750℃、1分程度の熱処理を行う。この熱処理によって図18に示すように、コンタクトホール30～33の底部のSi基板とTi膜36とが反応し、 n チャネル型MISFETQnの n^+ 型半導体領域10（ソース、ドレイン）の表面と p チャネル型MISFETQpの p^+ 型半導体領域11（ソース、ドレイン）の表面とに膜厚10nm程度の $TiSi_2$ 層37が形成される。また、上記窒素ガス雰囲気中での熱処理によって、コンタクトホール30～34の側壁に堆積した薄いTi膜36の表面が窒化され、Siと反応し難い安定な膜となる。

【0096】なおこのとき、酸化シリコン膜28の上部のTi膜36の表面も窒化されるが、表面以外の部分は窒化されずに未反応のまま残る。また、スルーホール22の底部のプラグ21の表面には、プラグ21を構成す

る多結晶シリコン膜とTi膜36との反応によって $TiSi_2$ 層37が形成される。

【0097】コンタクトホール30～33の底部に $TiSi_2$ 層37を形成することにより、次の工程でコンタクトホール30～33の内部に形成されるプラグ35と、周辺回路のMISFETのソース、ドレイン（ n^+ 型半導体領域10、 p^+ 型半導体領域11）とが接触する部分のコンタクト抵抗を1kΩ以下まで低減することができるので、センスアンプSAやワードドライバWDなどの周辺回路の高速動作が可能となる。コンタクトホール30～33の底部のシリサイド層は、 $TiSi_2$ 以外の高融点金属シリサイド、例えば $CoSi_2$ （コバルトシリサイド）、 $TaSi_2$ （タンタルシリサイド）、 $MoSi_2$ （モリブデンシリサイド）などで構成することもできる。

【0098】次に、図19に示すように、Ti膜36の上部に膜厚30nm程度のTiN膜40をCVD法で堆積する。CVD法は、スパッタリング法に比べてステップカバレッジがよいので、アスペクト比が大きいコンタクトホール30～34の底部に平坦部と同程度の膜厚のTiN膜40を堆積することができる。続いて、六フッ化タンゲステン（ WF_6 ）、水素およびモノシラン（ SiH_4 ）をソースガスに用いたCVD法でTiN膜40の上部に膜厚300nm程度の厚いW膜41を堆積し、コンタクトホール30～34およびスルーホール22のそれぞれの内部をW膜41で完全に埋め込む。

【0099】なお、 $TiSi_2$ 層37を形成した直後に未反応のTi膜36をエッチング液で除去すると、 p チャネル型MISFETQpのゲート電極8Cの上部に形成されたコンタクトホール34の内部や、 n チャネル型MISFETQnのゲート電極8Bの上部に形成された図示しないコンタクトホールの内部にもエッチング液が浸入し、ポリメタル構造で構成されたゲート電極8B、8Cの表面（W膜）がエッチングされてしまう。これを防止するために、本実施の形態では、コンタクトホール30～33の底部に $TiSi_2$ 層37を形成した後、酸化シリコン膜28の上部やコンタクトホール30～34の内部に残った未反応のTi膜36を残したまま、その上部にTiN膜40およびW膜41を堆積する。

【0100】次に、図20に示すように、CMP法を用いて酸化シリコン膜28の上部のW膜41、TiN膜40およびTi膜36を除去（ポリッシュバック）することにより、コンタクトホール30～34およびスルーホール22のそれぞれの内部に上記W膜41、TiN膜40およびTi膜36で構成されたプラグ35を形成する。このプラグ35は、酸化シリコン膜28の上部のW膜41、TiN膜40およびTi膜36をドライエッチングで除去（エッチバック）することによって形成してもよい。なおこのとき、酸化シリコン膜28上のTi膜36の除去が不十分であると、次の工程で酸化シリコン

膜28上に形成される配線(23~26)の一部が後の高温熱処理時に酸化シリコン膜28の表面から剥離することがあるので注意を要する。

【0101】上記プラグ35は、高融点金属であるW膜41を主体として構成されているために抵抗が低いと共に耐熱性が高い。また、W膜41の下層に形成されたTiN膜40は、W膜41をCVD法で堆積する際に六フッ化タンゲステンとSiとが反応して欠陥(エンクロッチメントやワームホール)が発生するのを防止するバリア層として機能すると共に、後の高温熱処理工程でW膜41とSi基板とが反応(シリサイド化反応)するのを防止するバリア層として機能する。このバリア層には、TiN以外の高融点金属窒化物(例えばWN膜)などを使用することもできる。

【0102】プラグ35は、W膜41を使用せずにTiN膜40を主体として構成してもよい。すなわち、コンタクトホール30~34およびスルーホール22のそれぞれの内部に厚い膜厚のTiN膜40を埋め込んでプラグ35を形成してもよい。この場合は、W膜41を主体として構成した場合に比べてプラグ35の抵抗が幾分高くなるが、次の工程で酸化シリコン膜28の上部に堆積するW膜42をドライエッチングしてビット線BLと周辺回路の第1層目の配線23~26とを形成する際にTiN膜40がエッチングストップとなるので、配線23~26とコンタクトホール30~34の合わせずれマ-

ジンが格段に向上し、配線23~26のレイアウトの自由度が大幅に向上する。

【0103】次に、酸化シリコン膜28の上部に以下のような方法でビット線BLおよび周辺回路の第1層目の配線23~26を形成する。

【0104】まず、図21に示すように、酸化シリコン膜28の表面をウェット洗浄して研磨残渣を十分に除去した後、その上部に膜厚100nm程度のW膜42をスパッタリング法で堆積する。次に、図22に示すように、W膜42の上部に形成したフォトレジスト膜43をマスクにしてW膜42をドライエッチングすることにより、ビット線BLおよび周辺回路の第1層目の配線23~26を形成する。なお、W膜42は光反射率が高いので、露光時にフォトレジスト膜43がハレーションを引き起こしてパターン(幅およびスペース)の寸法精度が低下することがある。これを防止するためには、W膜42の上部に反射防止膜を薄く堆積してからフォトレジスト膜43を塗布すればよい。反射防止膜には有機系の材料または光反射率が低い金属材料(例えばTiN膜)を使用する。

【0105】ここで、酸化シリコン膜とその上部に堆積した各種金属膜との密着性について検討した結果を説明する。

【0106】

【表1】

試料番号	仕様	界面状況	備考
1	W/TiN/Ti	ハガレ発生	
2	W/TiN/TiNx	ハガレ発生	x = 10%
3	W/TiN/TiNx	ハガレ発生	x = 15%
4	W/TiN/TiNx	ハガレ発生	x = 20%
5	W/TiN	ハガレ無し	
6	W	ハガレ無し	

注1) 800℃ 5minの窒素アニール後

注2) 下地及びW上はプラズマCVD-SiO₂

【0107】表1は、プラズマCVD法で堆積した酸化シリコン膜の表面に6種類の金属膜(試料1~6)を堆積し、800℃の窒素雰囲気中で5分間熱処理した後に両者の界面の密着性を評価した結果をまとめたものである。全ての試料においてW膜はスパッタリング法で堆積し、膜厚は300nmとした。また、試料1~5のTiN膜はすべて反応性スパッタリング法で堆積し、膜厚は50nmとした。試料2、3および4のTiNx膜は、反応性スパッタリング法で組成比(x)を変えて堆積した。具体的には、Ar(アルゴン)-窒素混合ガスの窒素分圧を調節することによって組成比(x)を変えた。試料1のTi膜はスパッタリング法で堆積し、膜厚は50nmとした。

【0108】表に示すように、試料1~4は界面に剥離が発生したが、試料5、6は全く剥離が発生しなかつ

た。このことから、Ti膜、またはTiが過剰な状態に含まれたTi化合物膜と酸化シリコン膜とが界面を接した状態で高温の熱処理を行うと、膜剥がれが発生することが判明した。そこで、酸化物を生成する際の熱化学的生成エネルギーを見ると、WよりもSiのほうが酸化物を形成し易く、さらにTiの方がSiよりも酸化物を形成しやすいエネルギー変化となっている。従って、この物質固有の性質が上記した膜剥がれの原因であると推定される。また、界面にTiが存在する場合でも、Ti単体としてではなく安定な窒素化合物(TiN)として存在する場合には、Ti-N結合を壊すエネルギーが必要となることから、これが試料5で膜剥がれが発生しなかった原因と思われる。

【0109】前述した製造方法では、酸化シリコン膜28の上部のW膜41、TiN膜40およびTi膜36を

一旦除去してコンタクトホール30～34の内部とスルーホール22の内部とにプラグ35を形成した後、酸化シリコン膜28の上部に新たに堆積したW膜42をパターンニングしてビット線BLおよび配線23～26を形成する。従って、この方法によれば、W膜41、TiN膜40およびTi膜36をパターンニングしてビット線BLおよび配線23～26を形成する場合に比べて製造工程は増えるが、後にビット線BLの上部に情報蓄積用容量素子Cを形成する際に行われる高温熱処理によってビット線BLや配線23～26が膜剥がれを引き起こす不良を確実に防止することができる。

【0110】また、アスペクト比の大きいコンタクトホール30～34の内部にプラグ35を形成した後、ビット線BLおよび配線23～26を形成するためのW膜42を酸化シリコン膜28の上部に堆積する前記の製造方法によれば、W膜42を堆積する際にスルーホール22およびコンタクトホール30～34の内部への膜の埋め込みを考慮する必要がないので、W膜42を薄い膜厚で堆積することができる。すなわち、この製造方法によれば、ビット線BLの膜厚を薄くすることができるので、隣接するビット線BLとの間に形成される寄生容量をさらに低減することができる。

【0111】さらに、酸化シリコン膜28の表面をCMP法で研磨して平坦化し、その上部に薄い膜厚のW膜42を堆積したことにより、W膜42をエッチングするときのオーバーエッチング量を少なくすることができるので、フォトレジスト膜43の幅よりも広い径を有するスルーホール22の内部のプラグ35が深く削れる不具合を防止することができる。

【0112】ビット線BLおよび配線23～26は、CVD法で堆積したW膜や、W膜とTiN膜との積層膜を使って形成してもよい。また、酸化シリコン系の絶縁膜との密着性が良好な他の高融点金属（例えばMo膜、Ta膜）やその窒化物の単層膜あるいはそれらの積層膜を使って形成してもよい。

【0113】次に、図23に示すように、ビット線BLと第1層目の配線23～26のそれぞれの上部に膜厚100nm程度の酸化シリコン膜38を堆積し、続いて酸化シリコン膜38の上部に膜厚250nm程度のSOG膜39をスピン塗布した後、水蒸気を含む400℃程度の酸素雰囲気中でベーク処理を行い、さらに800℃、1分程度の熱処理を行ってデンシファイ（緻密化）することによって、SOG膜39の表面を平坦化する。

【0114】前記のように、酸化シリコン膜28の表面を平坦化し、その上部に薄い膜厚のW膜42を堆積してビット線BLと第1層目の配線23～26とを形成したことにより、SOG膜39の下地段差を小さくすることができるので、ビット線BLおよび配線23～26のそれぞれの上部を2層の絶縁膜（酸化シリコン膜38、SOG膜39）だけで平坦化することができる。すなわ

ち、ゲート電極8A、8B、8Cの上部を平坦化したときのように、SOG膜（16）の上部にさらに酸化シリコン膜（17）を堆積してその表面をCMP法で研磨しなくとも十分な平坦性を確保することができるため、製造工程を短縮することができる。

【0115】なお、ビット線BLと第1層目の配線23～26による段差が小さい場合には、SOG膜39を使用せずに酸化シリコン膜38を厚く堆積するだけで平坦化を図ることもできる。他方、ビット線BLと配線23～26の密度差が大きく、SOG膜39だけでは十分な平坦性が得られないような場合には、SOG膜39の表面をCMP法で研磨し、さらにその上部にSOG膜39の表面の微細な研磨傷を補修するための酸化シリコン膜を堆積してもよい。また、SOG膜39をデンシファイする温度をあまり高くできないような場合には、その耐湿性の低下を補うために、その上部にさらに酸化シリコン膜を堆積してもよい。

【0116】次に、図24に示すように、SOG膜39の上部に膜厚200nm程度の多結晶シリコン膜70をCVD法で堆積した後、フォトレジスト膜をマスクにしてこの多結晶シリコン膜70をドライエッチングすることにより、コンタクトホール20の上方にスルーホール71を形成する。このスルーホール71は、その直径が最小加工寸法と同程度となるように形成する。

【0117】次に、図25に示すように、スルーホール71の側壁に多結晶シリコン膜で構成されたサイドウォールスペーサ72を形成する。サイドウォールスペーサ72は、スルーホール71の内部を含む多結晶シリコン膜70の上部に膜厚60nm程度の薄い第2の多結晶シリコン膜（図示せず）をCVD法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール71の側壁に残すことにより形成する。このサイドウォールスペーサ72を形成することにより、スルーホール71の内径は、最小加工寸法よりも微細になる。

【0118】次に、図26に示すように、多結晶シリコン膜70とサイドウォールスペーサ72とをマスクにしてスルーホール71の底部の絶縁膜（SOG膜39、酸化シリコン膜38、28）をドライエッチングすることにより、ビット線BLとこれに隣接するビット線BLとのスペース領域を通してコンタクトホール20に達するスルーホール48を形成する。

【0119】スルーホール48は、最小加工寸法よりも微細な内径を有するスルーホール71の側壁のサイドウォールスペーサ72をマスクにして形成されるので、その内径は最小加工寸法よりも微細になる。これにより、ビット線BLのスペース領域とスルーホール48との合わせマージンを十分に確保することができるので、次の工程でスルーホール48の内部に埋め込まれるプラグ49がビット線BLまたはその下部のプラグ35とショートするのを確実に防止することができる。

【0120】次に、図27に示すように、スルーホール48の内部を含む多結晶シリコン膜70の上部にn型不純物（例えばP（リン））をドーブした膜厚200nm程度の多結晶シリコン膜（図示せず）をCVD法で堆積した後、この多結晶シリコン膜を多結晶シリコン膜70およびサイドウォールスペーサ72と共にエッチバックすることにより、スルーホール48の内部に多結晶シリコン膜で構成されたプラグ49を形成する。

【0121】次に、図28に示すように、SOG膜39の上部に膜厚200nm程度の窒化シリコン膜44をCVD法で堆積した後、フォトリソ膜をマスクにしたドライエッチングで周辺回路の窒化シリコン膜44を除去する。メモリアレイに残った窒化シリコン膜44は、後述する情報蓄積容量素子Cの下部電極45を形成する工程で酸化シリコン膜をエッチングする際のエッチングストップとして使用される。

【0122】次に、図29に示すように、窒化シリコン膜44の上部にCVD法で酸化シリコン膜50を堆積した後、フォトリソ膜をマスクにして酸化シリコン膜50およびその下部の窒化シリコン膜44をドライエッチングすることにより、スルーホール48の上部に凹溝73を形成する。情報蓄積容量素子Cの下部電極45は、この凹溝73の内壁に沿って形成されるので、下部電極45の表面積を大きくして蓄積電荷量を増やすためには、酸化シリコン膜50を厚い膜厚（例えば1.3μm程度）で堆積する必要がある。

【0123】次に、図30に示すように、凹溝73の内部を含む酸化シリコン膜50の上部にn型不純物（例えばP（リン））をドーブした膜厚60nm程度の多結晶シリコン膜45AをCVD法で堆積する。この多結晶シリコン膜45Aは、情報蓄積容量素子Cの下部電極材料として使用される。

【0124】次に、図31に示すように、凹溝73の内部を含む多結晶シリコン膜45Aの上部に膜厚300nm程度のSOG膜74をスピン塗布し、次いで400℃程度の熱処理を行ってSOG膜74をベークした後、凹溝73の外部のSOG膜74をエッチバックして除去する。

【0125】次に、図32に示すように、周辺回路の多結晶シリコン膜45Aの上部をフォトリソ膜75で覆い、メモリアレイの酸化シリコン膜50の上部の多結晶シリコン膜45Aをエッチバック（異方性エッチング）して除去することにより、凹溝73の内壁に沿って下部電極45が形成される。下部電極45は、多結晶シリコン膜45A以外の導電膜で構成することもできる。下部電極用の導電膜は、次の工程で行われる容量絶縁膜の高温熱処理によって劣化しない程度の耐熱性および耐酸化性を備えた導電材料、例えばW、Ru（ルテニウム）などの高融点金属や、RuO（酸化ルテニウム）、IrO（酸化イリジウム）などの導電性金属酸化物で構

成することが望ましい。

【0126】次に、図33に示すように、凹溝73と凹溝73との隙間に残った酸化シリコン膜50、および凹溝73の内部のSOG膜74をフッ酸系のエッチング液で同時に除去した後、フォトリソ膜75を除去する。続いて、メモリアレイを覆うフォトリソ膜をマスクにしたドライエッチングで周辺回路の多結晶シリコン膜45Aを除去することによって、筒型の下部電極45が完成する。凹溝の隙間の酸化シリコン膜50の底部には窒化シリコン膜44が形成されているので、酸化シリコン膜50をウェットエッチングするとき下層のSOG膜39がエッチングされることはない。またこのとき、周辺回路の表面は多結晶シリコン膜45Aで覆われているので、その下層の厚い酸化シリコン膜50がエッチングされることはない。

【0127】周辺回路に厚い膜厚の酸化シリコン膜50を残すことにより、後の工程で情報蓄積容量素子Cの上層に形成される層間絶縁膜56、63の表面がメモリアレイと周辺回路とでほぼ同じ高さになるので、層間絶縁膜56の上部に配置される第2層目の配線52、53、層間絶縁膜63の上部に配置される第3層目の配線57～58、および第2層目と第3層目の配線間を接続するスルーホール60、61の形成が容易になる。

【0128】次に、アンモニア雰囲気中で800℃、3分程度の熱処理を行って下部電極45の表面に薄い窒化膜（図示せず）を形成した後、図34に示すように、下部電極45の上部に膜厚14nm程度の薄いTa₂O₅（酸化タンタル）膜46を堆積する。下部電極45の表面の窒化膜は、下部電極45を構成する多結晶シリコン膜（45A）が次に行う熱処理によって酸化されるのを防ぐために形成する。また、Ta₂O₅膜46は、例えばペンタエトキシタンタル（Ta（OC₂H₅）₅）をソースガスに用いたCVD法で堆積する。CVD法で堆積したTa₂O₅膜46はステップカバレッジがよいので、立体的な筒型形状を有する下部電極45の表面全体にほぼ均一な膜厚で堆積される。

【0129】続いて、800℃の酸化性雰囲気中でTa₂O₅膜46を3分程度熱処理する。この高温熱処理を行うことによって、膜中の結晶欠陥が修復され、良質なTa₂O₅膜46が得られる。これにより、情報蓄積容量素子Cのリーク電流を低減することができるので、リフレッシュ特性の向上したDRAMを製造することができる。

【0130】また、情報蓄積容量素子Cの下部電極45を立体的な筒型形状にしてその表面積を大きくし、かつ容量絶縁膜を誘電率が20～25程度のTa₂O₅膜46で構成することにより、メモリセルを微細化しても情報の保持に十分な蓄積電荷量を確保することが可能となる。

【0131】また、Ta₂O₅膜46の堆積に先だって

形成される下層のビット線BLおよび第1層目の配線23~26を、酸化シリコン系の絶縁膜との密着性が良好なW膜で構成したことにより、 Ta_2O_5 膜46の高温熱処理に起因してビット線BLや配線23~26が膜剥がれを引き起こす不良を確実に防止することができる。

【0132】また、ビット線を耐熱性の高いW膜で構成したことにより、最小加工寸法以下の微細な幅で形成されたビット線BLが Ta_2O_5 膜46の高温熱処理に起因して劣化したり断線したりする不良を確実に防止することができる。さらに、周辺回路のMISFETと第1層目の配線23~26とを接続するコンタクトホール30~35の内部のプラグ35を耐熱性の高い導電材料(W膜/TiN膜/Ti膜)で構成したことにより、 Ta_2O_5 膜46の高温熱処理に起因してソース、ドレインのリーク電流が増大したり、コンタクト抵抗が増大したりする不具合を防止することができる。

【0133】情報蓄積用容量素子Cの容量絶縁膜は、例えばBST、STO、 $BaTiO_3$ (チタン酸バリウム)、 $PbTiO_3$ (チタン酸鉛)、PZT($PbZr_{1-x}Ti_xO_3$)、PLT($PbLa_xTi_{1-x}O_3$)、PLZTなどの金属酸化物からなる高(強)誘電体膜で構成することもできる。これらの高(強)誘電体膜は、それらに共通の性質として、結晶欠陥の少ない高品質の膜を得るために成膜後に少なくとも750℃程度以上の高温熱処理を行う必要があるため、これらの高(強)誘電体膜を使用した場合でも前記と同様の効果を得ることができる。

【0134】次に、図35に示すように、 Ta_2O_5 膜46の上部にCVD法とスパッタリング法とを併用してTiN膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでTiN膜および Ta_2O_5 膜46をパターンニングすることにより、TiN膜からなる上部電極47と、 Ta_2O_5 膜46からなる容量絶縁膜と、多結晶シリコン膜(45A)からなる下部電極45とで構成された情報蓄積用容量素子Cが完成する。また、ここまでの工程により、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積用容量素子Cとで構成されたメモリセルが完成する。情報蓄積用容量素子Cの上部電極47は、TiN膜以外の導電膜、例えばW膜などで構成することもできる。

【0135】次に、図36に示すように、情報蓄積用容量素子Cの上部に層間絶縁膜56を形成した後、フォトレジスト膜をマスクにして周辺回路の層間絶縁膜56、酸化シリコン膜50、SOG膜39および酸化シリコン膜39をエッチングすることにより、第1層目の配線26の上部にスルーホール54を形成する。層間絶縁膜56は、例えばCVD法で堆積した膜厚600nm程度の酸化シリコン膜で構成する。

【0136】次に、図37に示すように、スルーホール54の内部にプラグ55を形成した後、層間絶縁膜56

の上部に第2層目の配線52、53を形成する。プラグ55は、例えば層間絶縁膜56の上部にスパッタリング法でTi膜を堆積し、さらにその上部にCVD法でTiN膜とW膜とを堆積した後、これらの膜をエッチバック(ドライエッチング)してスルーホール54の内部のみに残すことにより形成する。第2層目の配線52、53は、層間絶縁膜56の上部にスパッタリング法で膜厚50nm程度のTi膜、膜厚500nm程度のAl(アルミニウム)膜、膜厚50nm程度のTi膜および膜厚50nm程度のTiN膜を順次堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターンニングして形成する。

【0137】情報蓄積用容量素子Cの容量絶縁膜を形成した後は、高温の熱処理を伴う工程がないため、層間絶縁膜56の上部に形成される第2層目の配線52、53の材料として、高融点金属やその窒化物に比べて耐熱性は劣るが、電気抵抗が低いAlを主体とした導電材料を使用することができる。また、高温の熱処理を伴う工程がないことにより膜剥がれの問題も生じないので、酸化シリコンで構成された層間絶縁膜56の上部に第2層目の配線52、53を形成する際、層間絶縁膜56と界面を接する部分のバリアメタルにTi膜を使用することができる。

【0138】次に、図38に示すように、第2層目の配線52、53の上部に第2の層間絶縁膜63を形成した後、情報蓄積用容量素子Cの上部の層間絶縁膜63、56をエッチングしてスルーホール60を形成し、周辺回路の第2層目の配線53の上部の層間絶縁膜63をエッチングしてスルーホール61を形成する。第2の層間絶縁膜63は、例えばCVD法で堆積した膜厚300nm程度の酸化シリコン膜とその上部にスピン塗布した膜厚400nm程度のSOG膜と、さらにその上部にCVD法で堆積した膜厚300nm程度の酸化シリコン膜とで構成する。層間絶縁膜63の一部を構成するSOG膜のベークは、Alを主体とする第2層目の配線52、53と情報蓄積用容量素子Cの容量絶縁膜とが劣化するのを防止するために、400℃程度の温度で行う。

【0139】その後、スルーホール60、61の内部にプラグ62を形成し、続いて層間絶縁膜の上部に第3層目の配線57、58、59を形成することにより、前記図3に示すDRAMがほぼ完成する。プラグ62は、例えば前記プラグ55と同一の導電材料(W膜/TiN膜/Ti膜)で構成し、第3層目の配線57、58、59は、例えば前記第2層目の配線52、53と同一の導電材料(TiN膜/Ti膜/Al膜/Ti膜)で構成する。なお、第3層目の配線57、58、59の上部には、耐水性が高い緻密な絶縁膜(例えばプラズマCVD法で堆積した酸化シリコン膜と窒化シリコン膜とからなる2層の絶縁膜)を堆積するが、その図示は省略する。

【0140】以上、本発明者によってなされた発明を発

明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0141】本発明は、DRAMとロジックLSIやフラッシュメモリとを同一の半導体チップ上に混在させる半導体集積回路装置などに適用することもできる。

【0142】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0143】本発明によれば、情報蓄積用容量素子の容量絶縁膜を高誘電体材料で構成するキャパシタ・オーバー・ビットライン構造のDRAMにおいて、情報蓄積用容量素子よりも下層に配置されるビット線や周辺回路の配線の、少なくとも下地の酸化シリコン膜と接する部分をチタンやコバルト以外の高融点金属膜で構成することにより、ビット線や周辺回路の配線と酸化シリコン膜との密着性が向上し、容量絶縁膜を形成する際に行われる高温熱処理に起因してビット線や周辺回路の配線と酸化シリコン膜との界面に剥離が生じる不良を確実に防止することができるので、256Mbit およびそれ以降の世代に対応した大容量DRAMの信頼性ならびに製造歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるDRAMを形成した半導体チップの全体平面図である。

【図2】本発明の一実施の形態であるDRAMの等価回路図である。

【図3】本発明の一実施の形態であるDRAMのメモリアレイと周辺回路のそれぞれの一部を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態であるDRAMのメモリアレイの一部を示す半導体基板の概略平面図である。

【図5】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

10 【図17】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図19】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図20】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

20 【図22】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図23】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図24】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図25】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図26】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

30 【図27】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図28】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図29】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図30】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図31】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

40 【図32】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図33】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図34】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図35】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図36】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

50 【図37】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

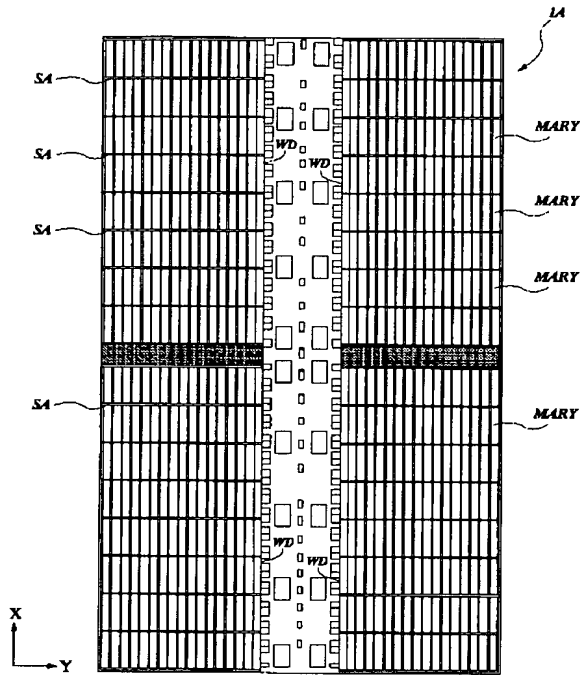
【図 3 8】本発明の一実施の形態である D R A M の製造方法を示す半導体基板の要部断面図である。

【符号の説明】

- | | | | |
|-----------|---------------------------------|-------------|-----------------------------------|
| 1 | 半導体基板 | 4 1 | W 膜 |
| 2 | p 型ウエル | 4 2 | W 膜 |
| 3 | n 型半導体領域 | 4 3 | フォトレジスト膜 |
| 4 | n 型ウエル | 4 4 | 窒化シリコン膜 |
| 5 | 酸化シリコン膜 | 4 5 | 下部電極（蓄積電極） |
| 6 | 素子分離溝 | 4 5 A | 多結晶シリコン膜 |
| 7 | ゲート酸化膜 | 4 6 | T a ₂ O ₅ 膜 |
| 8 A ~ 8 C | ゲート電極 | 4 7 | 上部電極（プレート電極） |
| 9 | n 型半導体領域（ソース、ドレイン） | 4 8 | スルーホール |
| 9 a | n ⁻ 型半導体領域（ソース、ドレイン） | 10 4 9 | プラグ |
| 1 0 | n ⁺ 型半導体領域（ソース、ドレイン） | 5 0 | 酸化シリコン膜 |
| 1 1 | p ⁺ 型半導体領域（ソース、ドレイン） | 5 1 | 酸化シリコン膜 |
| 1 2 | 窒化シリコン膜 | 5 2、5 3 | 配線 |
| 1 3 | 窒化シリコン膜 | 5 4 | スルーホール |
| 1 3 s | サイドウォールスペーサ | 5 5 | プラグ |
| 1 4 | n ⁻ 型半導体領域 | 5 6 | 層間絶縁膜 |
| 1 5 | p ⁻ 型半導体領域 | 5 7、5 8、5 9 | 配線 |
| 1 6 | S O G 膜 | 6 0 | スルーホール |
| 1 7 | 酸化シリコン膜 | 6 1 | スルーホール |
| 1 8 | 酸化シリコン膜 | 20 6 2 | プラグ |
| 1 9 | コンタクトホール | 6 3 | 第 2 層間絶縁膜 |
| 2 0 | コンタクトホール | 7 0 | 多結晶シリコン膜 |
| 2 1 | プラグ | 7 1 | スルーホール |
| 2 2 | スルーホール | 7 2 | サイドウォールスペーサ |
| 2 3 ~ 2 6 | 配線 | 7 3 | 凹溝 |
| 2 7 | フォトレジスト膜 | 7 4 | S O G 膜 |
| 2 8 | 酸化シリコン膜 | 7 5 | フォトレジスト膜 |
| 3 0 ~ 3 4 | コンタクトホール | B L | ビット線 |
| 3 5 | プラグ | C | 情報蓄積用容量素子 |
| 3 6 | T i 膜 | 30 M A R Y | メモリアレイ |
| 3 7 | T i S i ₂ 層 | M C | メモリセル |
| 3 8 | 酸化シリコン膜 | Q n | n チャネル型 M I S F E T Q n |
| 3 9 | S O G 膜 | Q p | p チャネル型 M I S F E T Q p |
| 4 0 | T i N 膜 | Q s | メモリセル選択用 M I S F E T |
| | | S A | センスアンプ |
| | | W D | ワードドライバ |
| | | W L | ワード線 |

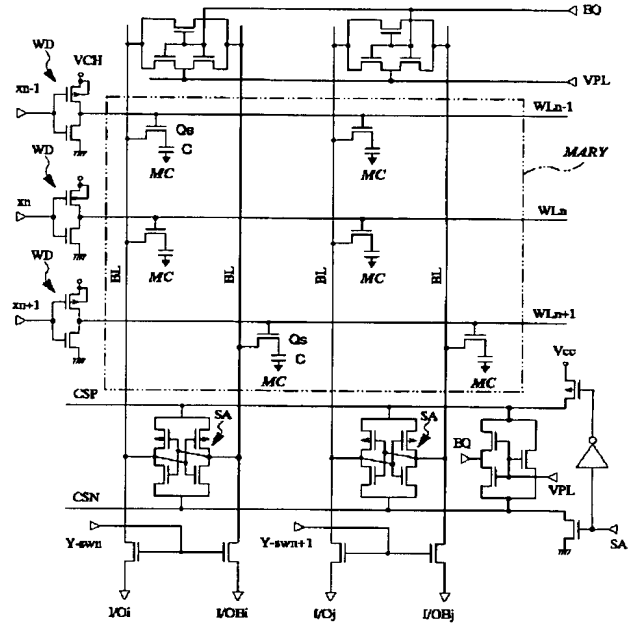
【図 1】

図 1



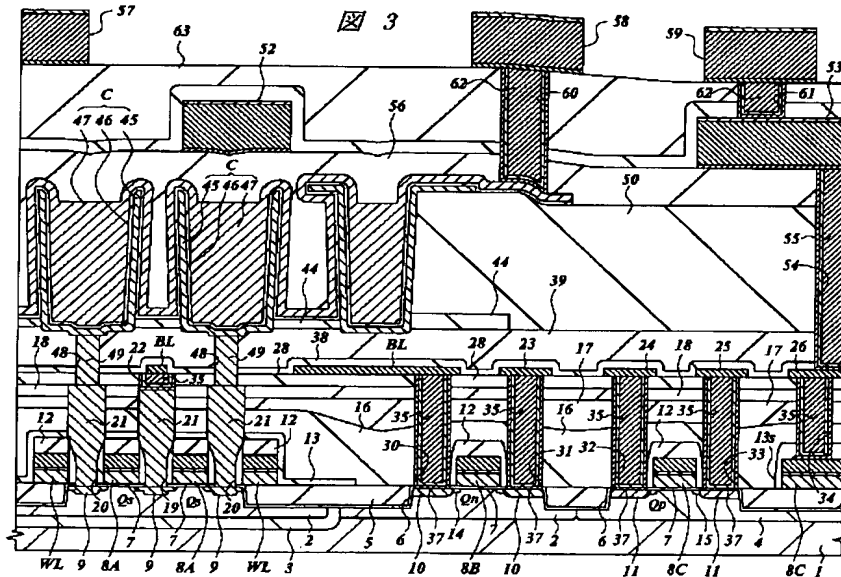
【図 2】

図 2

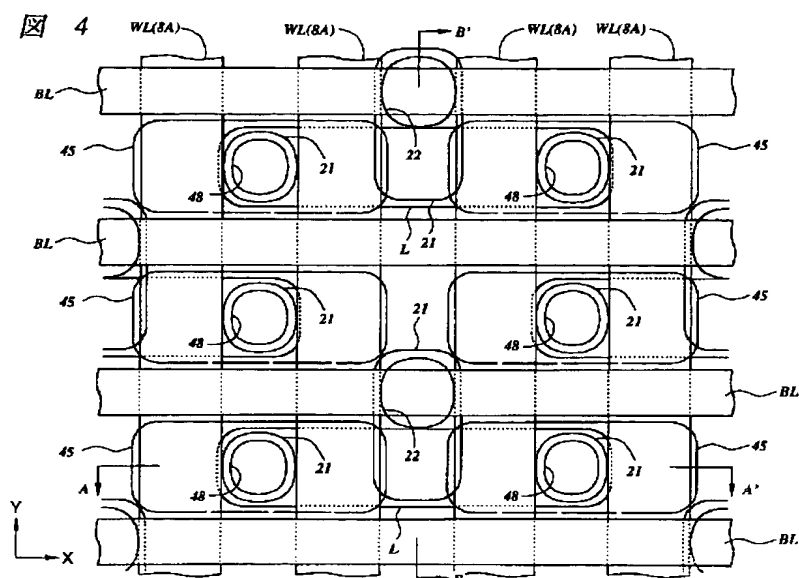


【図 3】

図 3

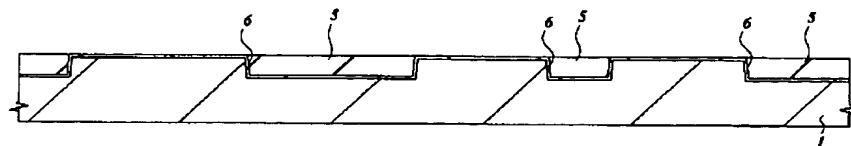


【図 4】



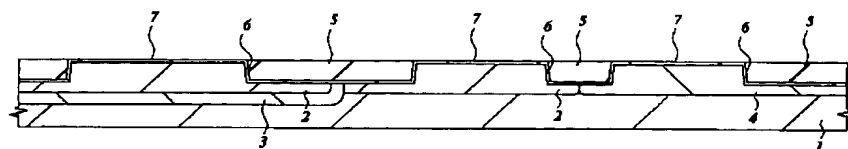
【図 5】

図 5



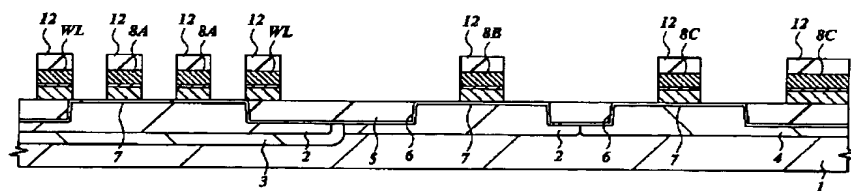
【図 6】

図 6



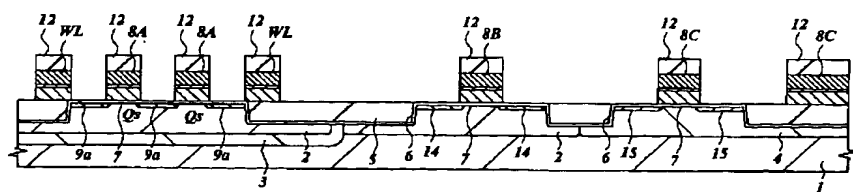
【図 7】

図 7

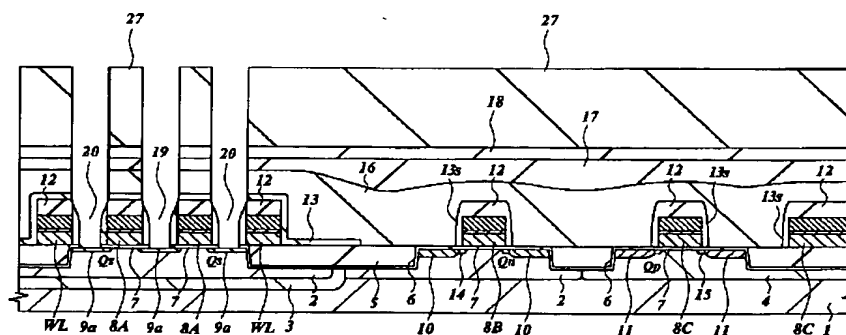


【図 8】

図 8

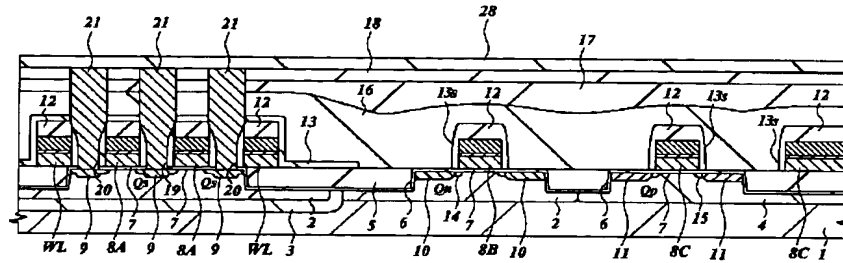


12



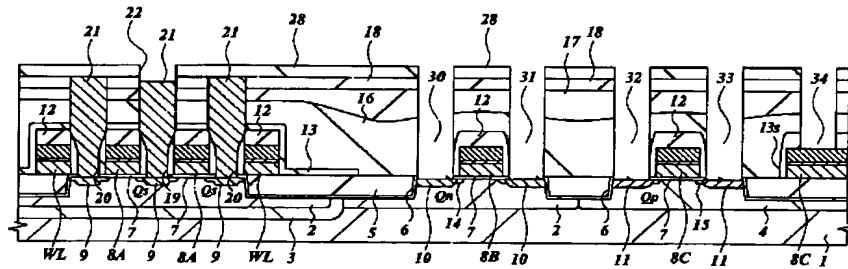
【図 15】

図 15



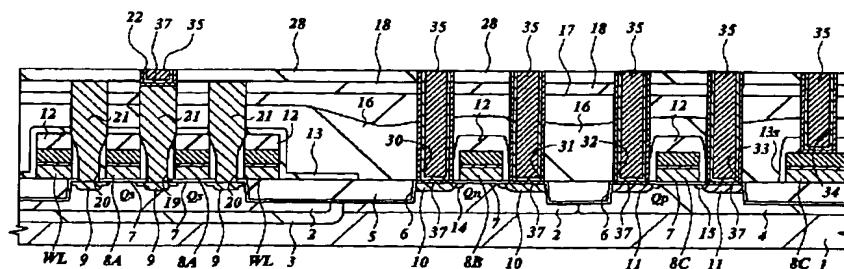
【図 16】

図 16



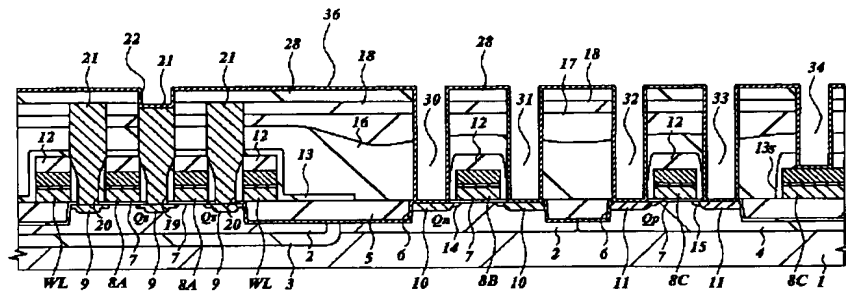
【図 20】

図 20



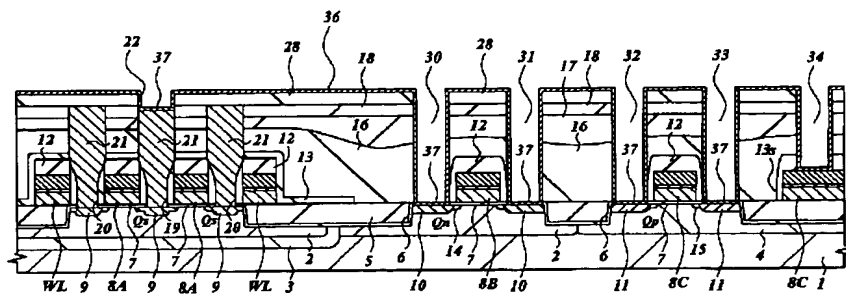
【図 17】

図 17



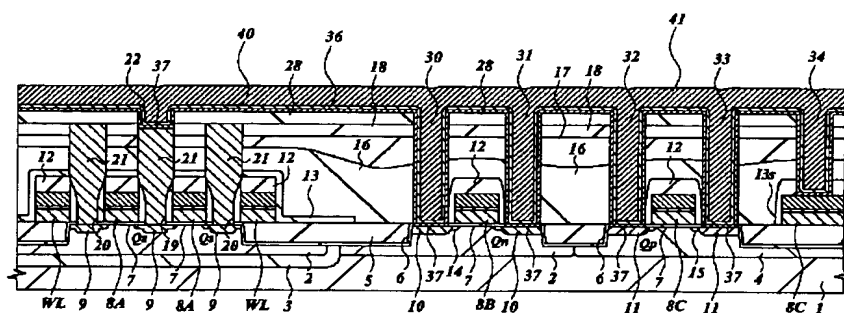
【図 18】

図 18



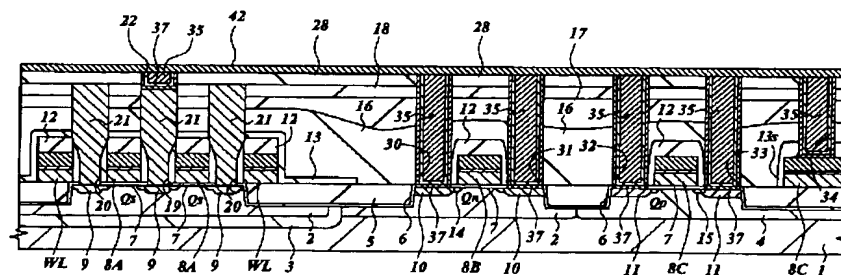
【図 19】

図 19



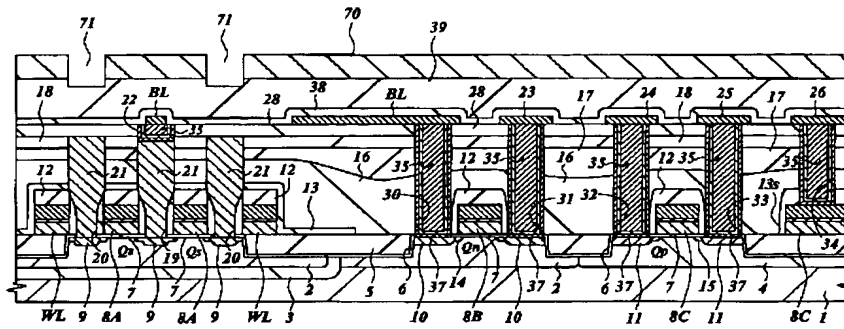
【図 21】

図 21



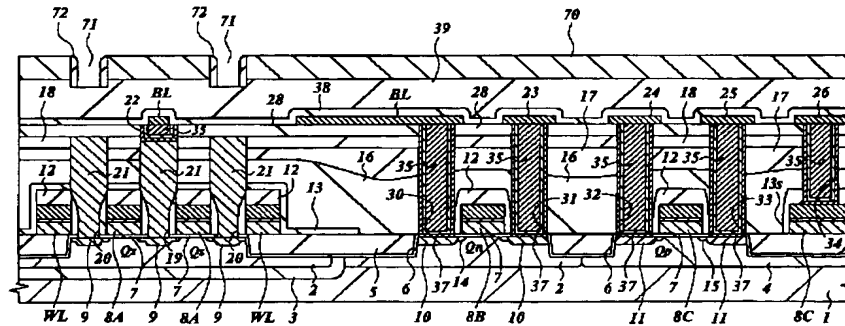
【図 24】

図 24



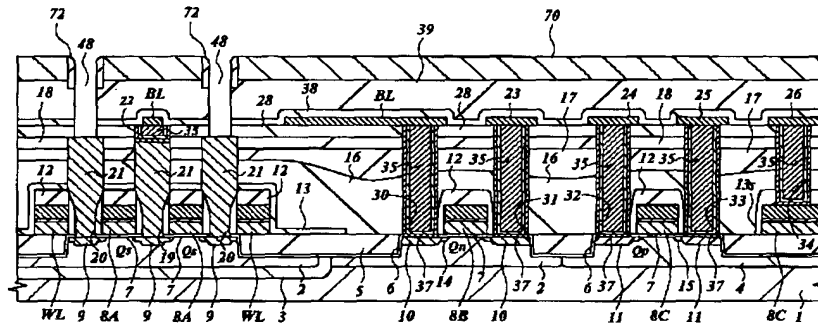
【図 25】

図 25



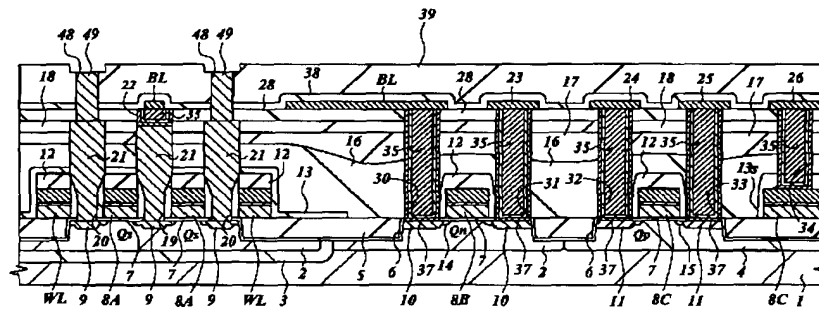
【図 26】

図 26



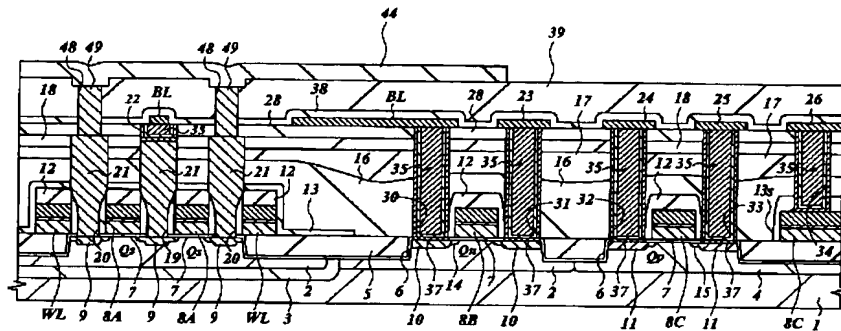
【図 27】

図 27



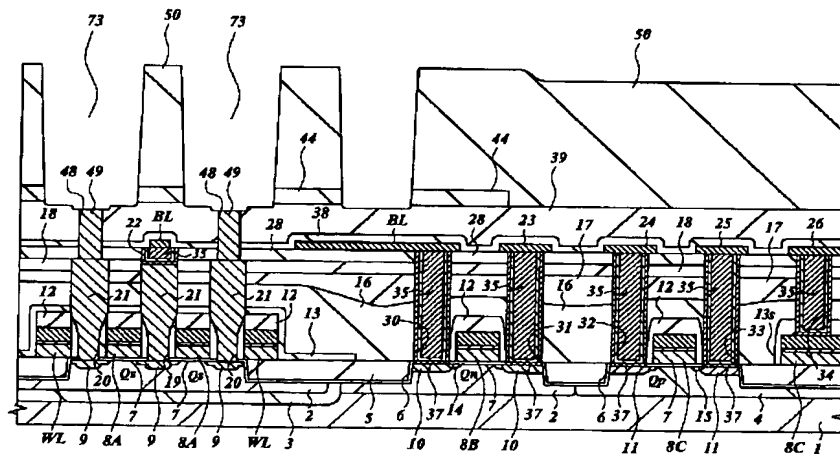
【図 28】

図 28



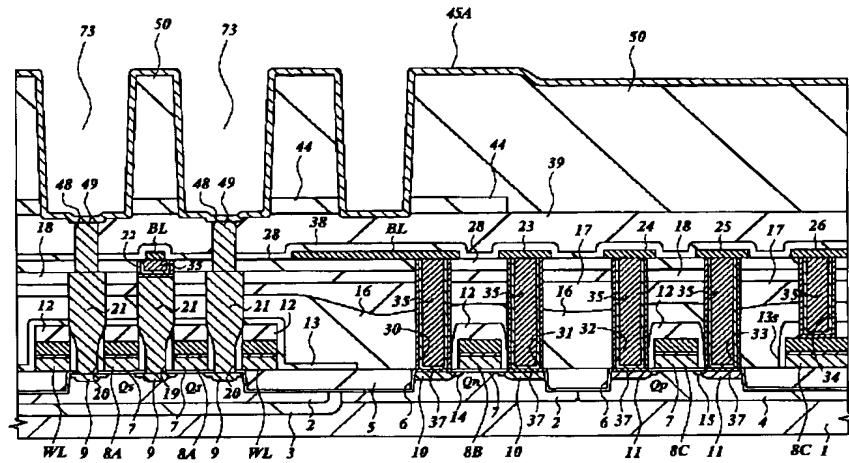
【図 29】

図 29



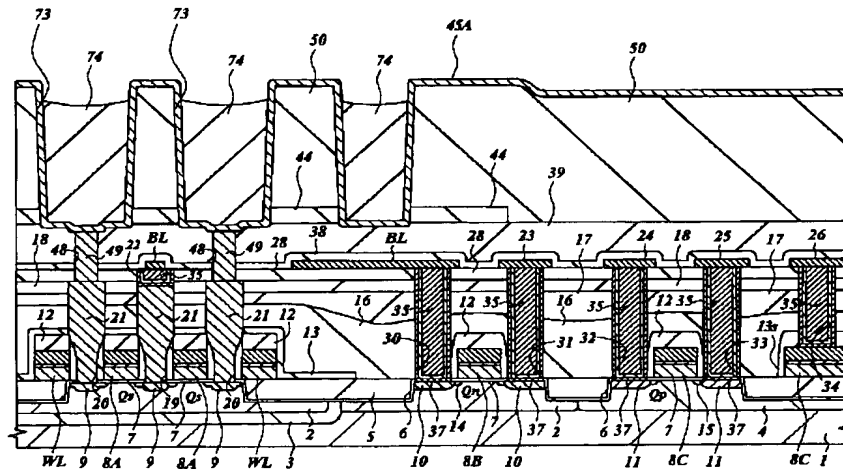
【図 30】

30



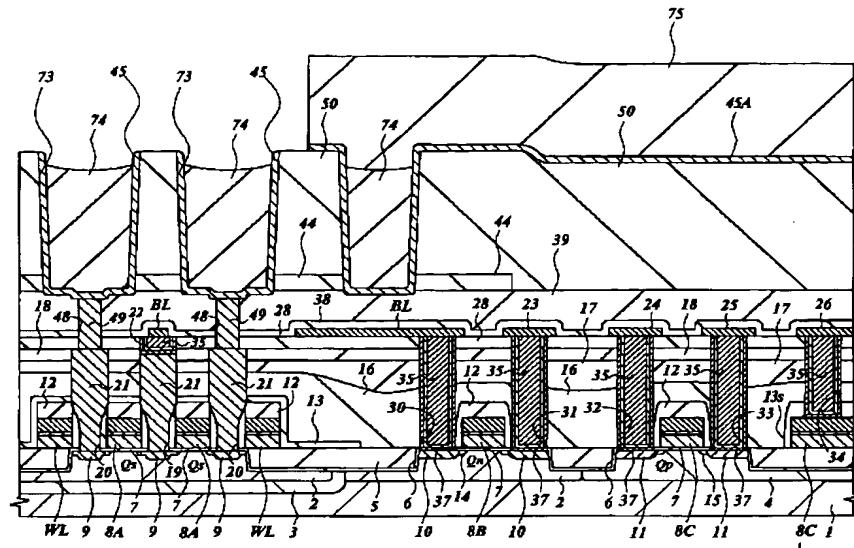
【图 3 1】

31



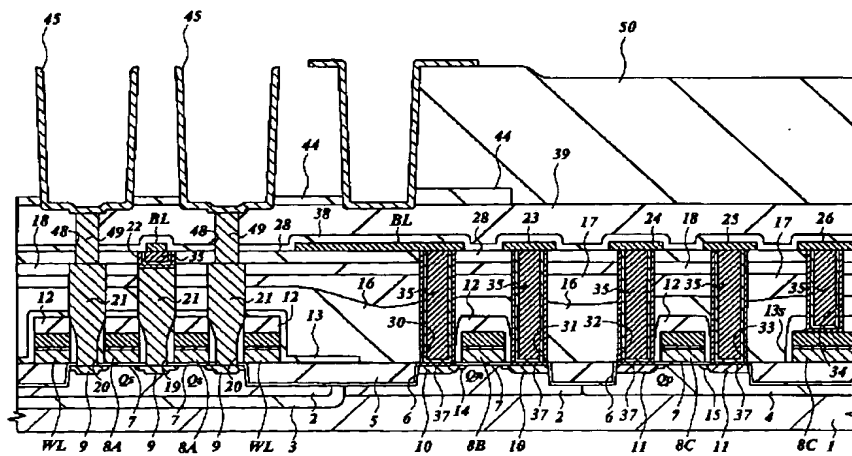
【図 3 2】

図 32

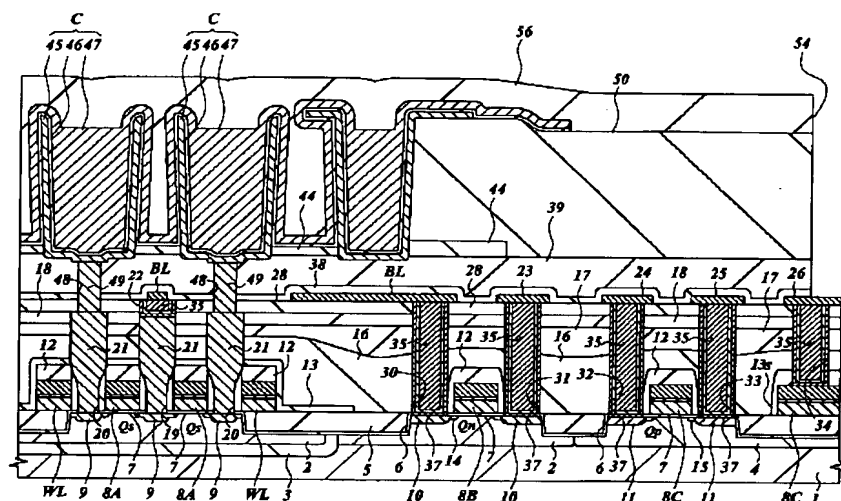


【図 3 3】

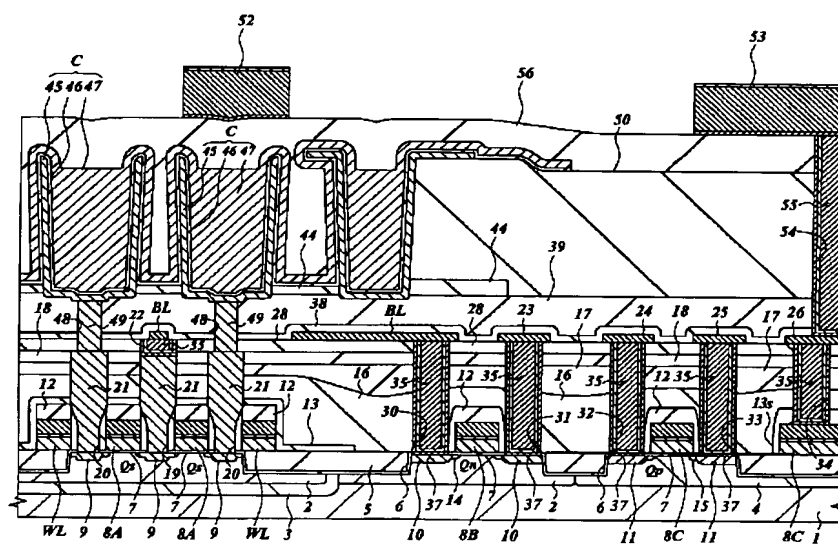
図 33



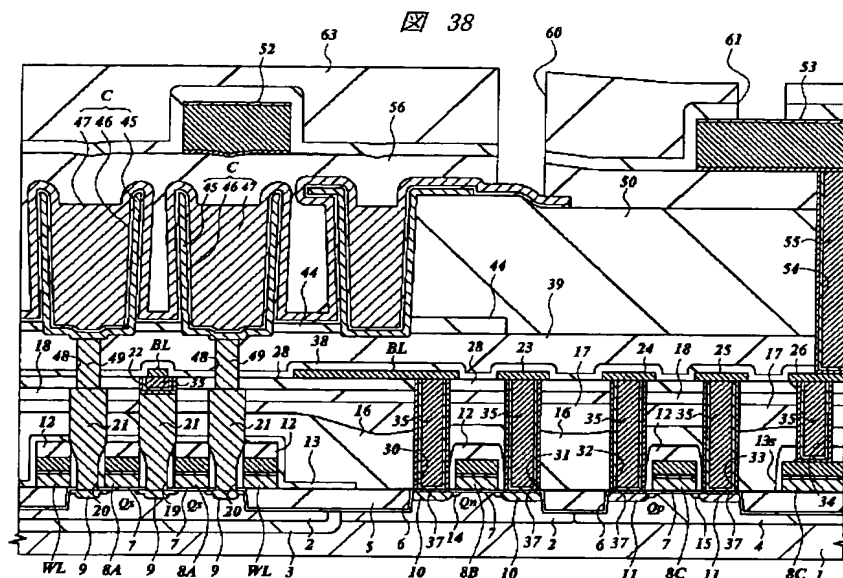
36



37



 38



(72) 發明者 川北 惠三

(72) 發明者 山田 悟

(72) 発明者 関口 敏宏

(72) 発明者 浅野 勇

(72) 發明者 只木 ▲芳▼▲隆▼

(72) 発明者 福田 琢也

(72) 發明者 鈴樹 正恭

(72) 発明者 田丸 剛

(72) 発明者 福田 直樹

(72) 發明者 青木 英雄

(72) 發明者 平沢 賢齊

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内